



Universidade do Minho

Cátia Patrícia Fraga Oliveira

**Desenvolvimento de um Filtro Ativo de
Potência Paralelo Monofásico Baseado
num Conversor Fonte de Corrente com
Barramento CC Reduzido**

Dissertação submetida na Universidade do Minho
para a obtenção do grau de
Mestre em Engenharia Eletrónica Industrial e Computadores

Trabalho realizado sob orientação do
Doutor José Gabriel Oliveira Pinto

Outubro de 2018

DECLARAÇÃO

Cátia Patrícia Fraga Oliveira

Endereço eletrónico: a68521@alunos.uminho.pt

Título da Dissertação:

Desenvolvimento de um Filtro Ativo de Potência Paralelo Monofásico Baseado num Conversor Fonte de Corrente com Barramento CC Reduzido

Orientador:

Doutor José Gabriel Oliveira Pinto

Dissertação submetida na Universidade do Minho para a obtenção do grau de Mestre em Engenharia Eletrónica Industrial e Computadores

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA TESE/TRABALHO APENAS PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE DECLARAÇÃO ESCRITA DO INTERESSADO, QUE A TAL SE COMPROMETE;

Universidade do Minho, ___/___/_____

Assinatura: _____

*“Eu aprendi que para crescer como pessoa
preciso de me cercar de gente
mais inteligente
do que eu.”*

H. Jackson Brown Jr

Aos meus pais.

Agradecimentos

A elaboração desta tese só foi possível com o apoio de várias pessoas, amigos e família, a quem pretendo transmitir os meus agradecimentos.

Ao meu orientador Doutor Gabriel Pinto por todo o apoio, dedicação, paciência e disponibilidade demonstradas.

Desejo transmitir um agradecimento especial ao professor Bruno Exposto, por toda a ajuda, conselhos, paciência e disponibilidade, sendo este auxílio concedido sacrificando o seu tempo de trabalho. Por outro lado, mostrou-me a importância de se ter método de trabalho e de se ser persistente, de forma a atingir os objetivos desta dissertação.

Ao engenheiro Luís Barros um muito obrigado por todo o apoio e pela participação nas mais diversas fases desta dissertação, quer ao nível de programação quer ao nível de desenvolvimento de placas de eletrónica de potência. Os seus conselhos foram imprescindíveis para a finalização desta dissertação

Ao aluno de doutoramento Tiago Sousa pelo apoio, compreensão e conselhos oferecidos ao longo desta dissertação.

Aos meus grandes amigos Ana Maria, Sara Sá, Pedro Pereira, Pedro Costa, João Silva, Marisa Gonçalves e Kamel por todo o incentivo e por todo o apoio prestado nos momentos mais difíceis desta jornada, sem nunca terem cobrado por isso.

Desejo agradecer aos meus colegas de laboratório João Manso, Luís Mota e Tiago Carvalho pelos momentos de convívio e troca de ideias.

Agradeço aos meus pais por todo o apoio, incentivo e esforços realizados para que eu tivesse a oportunidade de estudar e evoluir como pessoa.

Por último, este trabalho de dissertação está enquadrado no projeto de IC&DT “*Quality4Power - Enhancing the Power Quality for Industry 4.0 in the era of Microgrids*”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/28813/2017.

Resumo

Atualmente, grande parte dos equipamentos eletrónicos utilizados comportam-se como cargas não-lineares. Contudo, este tipo de cargas consomem correntes não sinusoidais, contaminando a rede eléctrica com harmónicas de corrente. A presença das harmónicas na rede eléctrica resulta num aumento das perdas relacionadas com o transporte e distribuição de energia eléctrica, bem como numa degradação do funcionamento da maior parte dos equipamentos ligados à rede eléctrica, principalmente os mais sensíveis. Estes problemas da Qualidade de Energia Eléctrica (QEE) resultam em prejuízos económicos elevados, e por este motivo, o desenvolvimento de equipamentos que os possam mitigar é um assunto de extrema importância.

No âmbito da investigação que tem vindo a ser realizada pelo Grupo de Electrónica de Potência e Energia da Universidade do Minho (GEPE-UM) na área da Qualidade de Energia Eléctrica, tem sido desenvolvido Filtros Ativos de Potência Paralelos. Assim, esta dissertação visa a conceção e desenvolvimento de um Filtro Ativo de Potência Paralelo Monofásico baseado num conversor fonte de corrente com barramento CC reduzido. Este equipamento é capaz de corrigir o fator de potência e compensar as harmónicas de corrente, originadas por cargas não-lineares. Os conversores fonte de corrente apresentam como principais vantagens a proteção intrínseca contra curto-circuitos e o facto da bobina utilizada no barramento CC ter um tempo de vida superior comparativamente aos elementos armazenadores utilizados nos conversores fonte de tensão, que são geralmente condensadores eletrolíticos. Contudo, a utilização de uma bobina no barramento CC não traz só vantagens, uma vez que para este tipo de filtros ativos é necessária uma bobina com valor de indutância muito elevado. Isto traduz-se num componente com volume, peso e um custo elevado. Pretende-se assim mitigar este problema adotando uma topologia de filtro ativo de potência paralelo com conversor fonte de corrente, com um barramento CC modificado que permita a redução do valor de indutância da bobina o que pode resultar numa minimização de custos, perdas e ainda tornar o filtro ativo de potência o mais compacto possível.

Palavras-Chave: Conversores Fonte de Corrente, Fator de Potência, Filtros Ativos de Potência Paralelos, Harmónicas de Corrente, Qualidade de Energia Eléctrica.

Abstract

Currently, most of the used electronic equipments behave as non-linear loads. However, this type of loads consume non-sinusoidal currents, contaminating the power grid with current harmonics. The presence of harmonics in the power grid results in an increase in losses related to the transportation and distribution of electric energy, as well as in a degradation in the operation of most of the equipment connected to the power grid, especially the most sensitive ones. These Power Quality (PQ) problems result in high economic losses and, for this reason, the development of equipment that can mitigate them is a matter of extreme importance.

As part of the research carried out by the Group of Energy and Power Electronics of the University of Minho (GEPE-UM) in the area of Electric PQ, shunt active power filters have been developed. Thus, this dissertation aims at the design and development of a single phase shunt active power filter based on a current source converter with reduced DC bus. This equipment can compensate the power factor and the current harmonics, caused by non-linear loads. Current source converters have the main advantages of intrinsic protection against short circuits and the fact that the inductor used in the DC bus has a longer life compared to the voltage source converters, whose storage elements used are usually electrolytic capacitors. However, the use of an inductor in the DC bus does not present only advantages, since an inductor with a very high inductance value is required for this type of active power filters. This translates into a component with a high volume, weight and cost. In this dissertation, it is intended to mitigate this problem by adopting a current source converter shunt active power filter topology, with a modified DC bus that allows the reduction of the inductance value, resulting in cost and losses minimization, and still make the active power filter as compact as possible.

Keywords: Current Source Converters, Power Factor, Shunt Active Power Filters, Current Harmonics, Electric Power Quality.

ÍNDICE

Agradecimentos	v
Resumo	vii
Abstract.....	ix
Lista de Figuras.....	xiii
Lista de Tabelas	xvii
Acrónimos e Siglas	xix
Nomenclatura.....	xxi
Capítulo 1 Introdução.....	1
1.1 Enquadramento e Motivações da Dissertação.....	1
1.2 Harmónicas de Corrente	1
1.3 Fator de Potência	2
1.4 Objetivos.....	3
1.5 Organização e Estrutura da Dissertação.....	3
Capítulo 2 Filtro Ativo Paralelo	5
2.1 Introdução	5
2.2 Filtros Ativo Paralelo Monofásico do Tipo Fonte de Tensão	5
2.3 Filtros Ativo Paralelo Monofásico do Tipo Fonte de Corrente.....	7
2.4 Técnicas de Modulação.....	8
2.4.1 SPWM Bipolar	9
2.4.2 SPWM Unipolar	10
2.4.3 Modulação Vetorial	10
2.5 Técnicas de Controlo de Corrente.....	12
2.5.1 Controlo de Corrente por Histerese	12
2.5.2 Controlo de Corrente por <i>Periodic Sampling</i>	13
2.5.3 Controlo de Corrente PI (Proporcional-Integral).....	14
2.5.4 Controlo de Corrente Preditivo.....	14
2.6 Técnicas de Identificação Aplicáveis a Filtros Ativos Paralelos Monofásicos	15
2.6.1 Teoria de Fryze	15
2.6.2 Teoria <i>p-q</i>	16
2.6.3 Transformada de Fourier	18
2.7 Conclusões.....	19
Capítulo 3 Simulações do Filtro Ativo Paralelo Monofásico	21
3.1 Introdução	21
3.2 Modelo de Simulação do Filtro Ativo Paralelo Monofásico Convencional do Tipo Fonte de Corrente	21
3.3 Malha de Captura de Fase.....	23
3.4 Operação do Filtro Ativo Paralelo Convencional	25
3.4.1 Regulação da Corrente no Barramento CC.....	26
3.4.2 Cálculo da Corrente de Compensação com Base na Teoria de Fryze.....	27
3.4.3 Resultados de Simulação do Filtro Ativo Paralelo Convencional	29
3.5 Operação do Filtro Ativo Paralelo do Tipo Fonte de Corrente com Barramento CC Reduzido	31

3.5.1	Resultados de Simulação do Filtro Ativo Paralelo com o Barramento CC Reduzido	32
3.5.2	Comparação entre as duas topologias	36
3.6	Conclusões	36
Capítulo 4	Desenvolvimento do Sistema de Controlo e do Hardware de Potência	39
4.1	Introdução	39
4.2	Desenvolvimento do Sistema de Controlo	39
4.2.1	Placa de Suporte do DSP	39
4.2.2	Sensores de Tensão	40
4.2.3	Sensores de Corrente	41
4.2.4	Placa de Condicionamento de Sinal e Detecção de Erros	42
4.2.5	Placa de Comando	44
4.2.6	Placa de DAC	45
4.2.7	Placa de Atuação do Braço do Inversor	46
4.2.8	Caixa de Comando	47
4.3	Desenvolvimento do Hardware do Circuito de Potência	47
4.3.1	Placas de <i>Driver</i>	47
4.3.2	Placa do Inversor do tipo Fonte de Corrente e do Conversor CC-CC	49
4.3.3	Filtro de Saída	52
4.4	Conclusões	55
Capítulo 5	Resultados Experimentais	57
5.1	Introdução	57
5.2	Resultados Experimentais da E-PLL	57
5.3	Resultados Experimentais do Tempo de Sobreposição	58
5.4	Resultados Experimentais da Técnica de Modulação	59
5.5	Resultados Experimentais da Teoria de Fryze	60
5.6	Resultados Experimentais da Regulação da Corrente no Barramento CC	63
5.7	Conclusão	65
Capítulo 6	Conclusão	67
6.1	Conclusões	67
6.2	Sugestões de Trabalhos Futuros	69
Lista de Referências	71

Lista de Figuras

Figura 2.1. Esquema elétrico de um filtro ativo paralelo monofásico do tipo fonte de tensão.	6
Figura 2.2. Esquema elétrico de um filtro ativo paralelo monofásico do tipo fonte de corrente.	8
Figura 2.3. Representação do princípio de operação da técnica de modulação SPWM Bipolar: Onda portadora, $i\Delta$, onda de referência i^* , sinais de <i>gate</i> dos IGBTs superiores $S1$ e $S3$ e corrente de saída do inversor, i_{out}	9
Figura 2.4. Representação do princípio de operação da técnica de modulação SPWM Unipolar: Onda portadora, $i\Delta$, ondas de referência $i1^*$ e $i2^*$, sinais de <i>gate</i> dos semicondutores $S1$ e $S3$ e a corrente de saída do inversor, i_{out}	10
Figura 2.5. Plano vetorial para inversores do tipo fonte de corrente (adaptado de [16]).	11
Figura 2.6. Diagrama de blocos da técnica de controlo de corrente por histerese.	13
Figura 2.7. Diagrama de blocos da técnica de controlo de corrente por <i>Periodic Sampling</i>	13
Figura 2.8. Diagrama de blocos da técnica de controlo de corrente PI com modulação SPWM.	14
Figura 2.9. Princípio base da teoria de <i>Fryze</i> : (a) Exemplo de um circuito monofásico. (b) Circuito equivalente para a decomposição da corrente da carga.	16
Figura 3.1. Andar de potência e sistema de controlo do modelo de simulação do FAP convencional no software PSIM.	22
Figura 3.2. Andar de potência e sistema de controlo do modelo de simulação do FAP com o barramento CC reduzido no software PSIM.	23
Figura 3.3. Diagrama de blocos da malha de sincronização com a rede elétrica.	24
Figura 3.4. Resultados de simulação da tensão da rede elétrica e do sinal de saída da E-PLL.	24
Figura 3.5. Resultados de simulação da tensão da rede elétrica distorcida e do sinal de saída da E-PLL.	25
Figura 3.6. Filtro passivo amortecido com o condensador dividido.	25
Figura 3.7. Esquema elétrico do FAP monofásico convencional do tipo fonte de corrente.....	26
Figura 3.8. Resultados de simulação da regulação da corrente no barramento CC do FAP convencional.	27
Figura 3.9. Resultados de simulação da tensão da rede elétrica e da corrente consumida pelas cargas.....	28
Figura 3.10. Resultados de simulação da corrente de compensação produzida pela teoria de Fryze.....	28
Figura 3.11. Resultados de simulação da tensão da rede elétrica e da corrente teórica na fonte.	29
Figura 3.12. Resultados de simulação da tensão da rede elétrica e da corrente nas cargas linear e não-linear.	30
Figura 3.13. Resultados de simulação da corrente de compensação produzida pelo FAP convencional.....	30
Figura 3.14. Resultados de simulação da tensão e corrente da rede elétrica após a compensação.	30
Figura 3.15. Esquema elétrico do FAP monofásico do tipo fonte de corrente com barramento CC reduzido.	31
Figura 3.16. Resultados de simulação da regulação da corrente no barramento CC do FAP com barramento CC reduzido.....	33
Figura 3.17. Resultados de simulação da tensão da rede elétrica e da corrente consumida pelas cargas.....	33
Figura 3.18. Resultados de simulação da corrente de compensação produzida pelo FAP com barramento CC reduzido.....	34
Figura 3.19. Resultados de simulação da tensão da rede elétrica e a corrente teórica na fonte.	34
Figura 3.20. Resultados de simulação da tensão no condensador do conversor CC-CC.	35
Figura 3.21. Resultados de simulação da tensão e corrente da rede elétrica após a compensação.	35

Figura 4.1. Placa do DSP <i>TMS320F28335</i> da <i>Texas Instruments</i>	39
Figura 4.2. Placa de suporte do DSP.....	40
Figura 4.3. Placa do sensor de tensão.	41
Figura 4.4. Placa do sensor de corrente desenvolvida.....	42
Figura 4.5. Placa de condicionamento de sinal e detecção de erros utilizada.....	42
Figura 4.6. Circuito de detecção de erros.	43
Figura 4.7. Circuito somador não inversor para o condicionamento de sinal dos sensores de corrente e tensão.	44
Figura 4.8. Placa de comando monofásica utilizada.	45
Figura 4.9. Placa de DAC utilizada.....	45
Figura 4.10. Placa de atuação do braço do inversor do tipo fonte de corrente.....	46
Figura 4.11. Circuito lógico da placa de atuação.	46
Figura 4.12. Caixa de comando.	47
Figura 4.13. Placas de <i>driver</i> utilizadas: (a) Placa de <i>driver</i> para o inversor do tipo fonte de corrente. (b) Placa de <i>driver</i> do conversor CC-CC.....	48
Figura 4.14. Circuito lógico referente ao circuito de controlo da placa de <i>driver</i> desenhado no software <i>PADS Logic</i>	48
Figura 4.15. <i>Layout</i> da placa de <i>driver</i> desenvolvido no software <i>PADS Layout</i>	49
Figura 4.16. <i>Layout</i> da placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico desenhada no software <i>PADS Layout</i>	50
Figura 4.17. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico.....	51
Figura 4.18. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico vista da parte inferior.	51
Figura 4.19. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico fixada no dissipador.....	52
Figura 4.20. Parâmetros obtidos no software EPCOS para a construção das bobinas de 100 μ s.....	52
Figura 4.21. Gráfico do ensaio da corrente de saturação de uma das bobinas do filtro de saída.	53
Figura 4.22. Bobinas do filtro passivo de saída.	53
Figura 4.23. <i>Layout</i> da placa do filtro passivo de saída desenhada no software <i>PADS Layout</i>	54
Figura 4.24. Placa do filtro passivo de saída.....	54
Figura 5.1. Regime transitório de sincronização da E-PLL.	58
Figura 5.2. Regime permanente da sincronização da E-PLL com a tensão da rede elétrica.	58
Figura 5.3. Verificação do tempo de sobreposição nos sinais de <i>gate</i> dos semicondutores: (a) S_1 e S_3 (b) S_2 e S_4	59
Figura 5.4. Resultado experimental com representação da corrente de referência i_1^* e da corrente da carga i_L	59
Figura 5.5. Resultado experimental com representação da corrente de referência i_1^* e da corrente da carga i_L	60
Figura 5.6. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* e da corrente teórica na fonte ($i_L - i_c^*$).	61
Figura 5.7. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , da corrente teórica na fonte ($i_L - i_c^*$) e do sinal gerado pela E-PLL, v_{PLL}	61
Figura 5.8. Esquema elétrico desenvolvido no software PSIM para o cálculo da corrente de compensação.....	62

Figura 5.9. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , e da corrente na carga resistiva, i_R	62
Figura 5.10. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , da corrente teórica na fonte ($i_L - i_c^*$).	63
Figura 5.11. Esquema elétrico desenvolvido no software PSIM para a regulação do barramento CC.	64
Figura 5.12. Resultado experimental da regulação da corrente no barramento CC com representação da corrente de referência i^* e da corrente no barramento CC, i_{CC}	64
Figura 5.13. Esquema elétrico desenvolvido no software PSIM para a regulação do barramento CC com o inversor do tipo fonte de corrente ligado à rede elétrica.	65
Figura 5.14. Resultado experimental da regulação da corrente no barramento CC com representação da corrente de referência i^* e da corrente no barramento CC, i_{CC}	65

Lista de Tabelas

Tabela 2.1. Estados de operação do inversor monofásico do tipo fonte de tensão.	7
Tabela 2.2. Estados de operação do inversor monofásico do tipo fonte de corrente.....	8
Tabela 2.3. Vetores válidos e combinações de semicondutores de um inversor trifásico do tipo fonte de corrente.	12
Tabela 3.1. Estados de operação do conversor CC-CC.....	32
Tabela 3.2. Resultados das simulações das duas topologias.	36

Acrónimos e Siglas

Acrónimo / Sigla	Significado
BJT	<i>Bipolar Junction Transistor</i>
CA	Corrente Alternada
CC	Corrente Contínua
CSAF	<i>Current Source Active Filter</i>
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital to Analog Converter</i>
DFT	<i>Discrete Fourier Transform</i>
DPF	<i>Displacement Power Factor</i>
DSP	<i>Digital Signal Processor</i>
E-PLL	<i>Enhanced Phase Locked Loop</i>
FAP	Filtro Ativo Paralelo
GPIO	<i>General Purpose Input/Output</i>
GTO	<i>Gate Turn-Off Thyristor</i>
GEPE-UM	Grupo de Eletrónica de Potência e Energia da Universidade do Minho
IDFT	<i>Inverse Discrete Fourier Transform</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LF	<i>Loop Filter</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
PD	<i>Phase Detector</i>
PWM	<i>Pulse Width Modulation</i>
RB-IGBT	<i>Reverse Blocking Insulated Gate Bipolar Transistor</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
SVM	<i>Space Vector Modulation</i>

THD	<i>Total Harmonic Distortion</i>
TPF	<i>Total Power Factor</i>
VCO	<i>Voltage-controlled Oscillator</i>
VSAF	<i>Voltage Source Active Filter</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

Símbolo	Significado	Unidade
i_h	Corrente instantânea de uma determinada harmónica de ordem h	A
v_{out}	Tensão de saída do conversor CC-CA do tipo fonte de tensão	V
i_{out}	Corrente de saída do conversor CC-CA do tipo fonte de corrente	A
i_{CC}	Corrente no barramento CC	A
v_{CC}	Tensão no barramento CC	V
L_{CC}	Indutância do barramento CC	H
C	Capacidade do barramento CC do inversor fonte de corrente	F
C_1, C_2	Capacidades do filtro passivo de saída	F
L_1, L_2	Indutâncias do filtro passivo de saída	H
R_d	Resistência de amortecimento do filtro passivo de saída	Ω
C_{CC}	Capacidade do barramento CC do conversor CC-CC monofásico	F
p	Potência real instantânea da Teoria $p-q$	VA
q	Potência imaginária instantânea da Teoria $p-q$	VA
\bar{p}	Valor médio da potência real instantânea da Teoria $p-q$	W
\tilde{p}	Potência real das componentes harmónicas da Teoria $p-q$	VA
\bar{q}	Valor médio da potência imaginária instantânea da Teoria $p-q$	VA
\tilde{q}	Potência imaginária das componentes harmónicas da Teoria $p-q$	VA
f_s	Frequência de amostragem	Hz
T_s	Período de amostragem	s
G	Condutância equivalente da Teoria de Fryze	Ω^{-1}
v_a, v_b, v_c	Tensões simples instantâneas no sistema de coordenadas $a-b-c$	V
i_a, i_b e i_c	Correntes instantâneas no sistema de coordenadas $a-b-c$	A
θ	Ângulo entre a corrente de referência e o eixo α da Modulação Vetorial	rad
\vec{I}_{ref}	Vetor de corrente de referência da Modulação Vetorial	A
$I_{ref\alpha}, I_{ref\beta}$	Amplitude de \vec{I}_{ref} nos eixos I_α e I_β	A
v_{PLL}	Tensão gerada pela E-PLL	V

Capítulo 1

Introdução

1.1 Enquadramento e Motivações da Dissertação

O aumento do uso de conversores de eletrónica de potência por parte da indústria e dos consumidores em geral, contribui para a deterioração das formas de onda de corrente e de tensão nos sistemas de potência, originando custos económicos elevados associados ao mau funcionamento dos equipamentos ligados à rede eléctrica. Por este motivo, a qualidade de energia eléctrica entregue aos consumidores finais é um assunto de elevada preocupação [1] [2]. No passado, a importância da qualidade de energia eléctrica resumia-se unicamente à ininterrupção de energia, bem como a manutenção das tensões e frequências dentro de valores aceitáveis. As cargas utilizadas eram lineares, ou seja, as correntes consumidas eram sinusoidais e da mesma frequência, quando alimentadas com tensões de alimentação também sinusoidais.

Com a evolução da eletrónica de potência foi possível a execução de tarefas não conseguidas até então, o melhoramento do rendimento, controlabilidade e custo dos equipamentos. Porém, estes equipamentos comportam-se como cargas não-lineares pelo que consomem correntes não sinusoidais, isto é, correntes que incluem harmónicas.

As harmónicas de corrente presentes nas instalações podem causar problemas de sobreaquecimento nos transformadores e condutores. Por outro lado, a sua presença na rede eléctrica resulta num aumento das perdas relacionadas com o transporte e distribuição de energia eléctrica e da degradação do funcionamento da maior parte dos equipamentos ligados à rede, principalmente os mais sensíveis.

De seguida, são apresentados alguns problemas de qualidade de energia eléctrica que para além de contribuírem para o incorreto funcionamento de alguns equipamentos, também pode danificá-los.

1.2 Harmónicas de Corrente

A harmónica é uma componente sinusoidal de uma onda periódica cuja frequência é múltipla da frequência fundamental [3]. A presença de várias harmónicas resulta na distorção de tensões e de correntes [4]. As correntes harmónicas são causadas por cargas

não-lineares que estão presentes em equipamentos como computadores, impressoras e televisores. Os fornos a arco e as lâmpadas fluorescentes compactas são também responsáveis por injetar harmônicas de corrente nos sistemas elétricos [5]. As consequências das harmônicas de corrente podem ser bastante graves para as instalações elétricas, contribuindo para o aumento do ruído nos sistemas de comunicação, perdas excessivas e consequente aquecimento nos motores, condensadores e transformadores, danificação de relés e disjuntores e ainda redução da vida útil da maioria dos equipamentos [3].

A taxa de distorção harmônica total (*Total Harmonic Distortion* – THD) permite a medição da quantidade do conteúdo harmônico de uma determinada forma de onda de tensão ou de corrente, como ilustrado na equação [6].

$$THD(\%) = \frac{\sqrt{\sum_{h=2}^{\infty} I_h^2}}{I_1} 100\%, \quad (1.1)$$

onde I_h corresponde ao valor eficaz ou ao valor de amplitude da harmônica de corrente, enquanto que I_1 representa o valor eficaz ou a amplitude da fundamental da corrente.

1.3 Fator de Potência

Inicialmente as cargas utilizadas eram apenas cargas lineares, pelo que o conceito de fator de potência passava por relacionar a quantidade de potência ativa utilizada pela carga, P , com a potência aparente da instalação, S , tal como se pode verificar na equação (1.2).

$$PF = \cos \varphi = \frac{P}{S} \quad (1.2)$$

Desta forma, o fator de potência pode variar entre 0 e 1. Quando $\cos \alpha$ toma valor de zero significa que não existe potência ativa, ou seja, a potência aparente engloba potência harmônica ou reativa. Por outro lado, quando o fator de potência toma valor de 1 significa que a potência aparente é apenas formada por potência ativa [7].

No entanto, as cargas sofreram evoluções ao longo dos anos, deixando de apenas serem utilizadas cargas lineares, mas também cargas não-lineares. Posto isto, a definição do fator de potência teve de ser alterada. Daí, surgiu o fator de potência de deslocamento (*Displacement Power Factor* – DPF), onde φ_1 corresponde ao ângulo de defasamento entre as fundamentais da tensão e da corrente, tal como se pode verificar na equação (1.3).

$$DPF = \cos \varphi_1 = \frac{P_1}{S_1} \quad (1.3)$$

De forma a calcular o fator de potência total (*Total Power Factor* – TPF), são consideradas todas as harmônicas de tensão e de corrente, tal como está ilustrado na equação (1.4).

$$TPF = \frac{P}{S} = \frac{U_1 I_1 \cos \varphi_1 + U_2 I_2 \cos \varphi_2 + \dots + U_n I_n \cos \varphi_n}{U I} \quad (1.4)$$

É de salientar que uma instalação elétrica deve possuir um fator de potência elevado, visto que um baixo fator de potência requer uma corrente mais elevada do que seria necessária para um fator de potência superior. Para além disso, uma corrente elevada traduz-se em perdas acrescidas nos cabos condutores e transformadores, podendo levar à sua deterioração [5].

1.4 Objetivos

Esta dissertação visa a conceção e desenvolvimento de um Filtro Ativo Fonte de Corrente Monofásico com Barramento CC Reduzido, e para isso foram definidos os seguintes objetivos:

- Estudo das principais topologias de filtros ativos monofásicos;
- Estudo detalhado do Filtro Ativo Fonte de Corrente Monofásico;
- Estudo detalhado do Conversor CC-CC Monofásico;
- Elaboração de modelos de simulação dos controlos e técnicas de modulação com recurso ao PSIM;
- Implementação do hardware de potência e do sistema de controlo;
- Realização de testes experimentais de forma a verificar o correto desempenho do filtro desenvolvido;
- Escrita da dissertação.

1.5 Organização e Estrutura da Dissertação

O trabalho desenvolvido nesta dissertação está organizado em seis capítulos. No Capítulo 1 é feita uma breve introdução ao tema proposto, bem como o enquadramento e motivações desta dissertação face aos problemas de QEE, nomeadamente as harmônicas de corrente e o fator de potência.

No capítulo 2 está apresentado o estado da arte relativo aos filtros ativos monofásicos, sendo referido com maior detalhe o FAP monofásico do tipo fonte de corrente, pois este é o tipo de filtro ativo paralelo proposto nesta dissertação. Para além disso, são descritas as principais teorias de controlo e técnicas de modulação.

No capítulo 3 são apresentadas as simulações realizadas no software PSIM do FAP monofásico CSI convencional e do FAP com barramento CC reduzido. Inicialmente são descritas as simulações referentes ao sistema de controlo, que posteriormente é integrado com o circuito de potência, de forma a comprovar o seu correto funcionamento.

No quarto capítulo é apresentado todo o hardware implementado, sendo efetuada uma breve descrição do funcionamento das placas pertencentes ao circuito de controlo e ao circuito de potência.

No capítulo 5 são apresentados os resultados experimentais obtidos durante os ensaios realizados ao protótipo laboratorial. Estes resultados são posteriormente comparados com os resultados obtidos no capítulo 3, de forma a comprovar a correta implementação do FAP com barramento CC reduzido.

Por fim, no capítulo 6 são apresentadas as principais conclusões referentes ao trabalho realizado ao longo desta dissertação, desde a análise introdutória do tema proposta até à realização dos ensaios experimentais. Neste capítulo, são também apresentadas algumas sugestões de trabalhos futuros, a fim de aperfeiçoar o trabalho desenvolvido.

.

Capítulo 2

Filtro Ativo Paralelo

2.1 Introdução

O filtro ativo paralelo (FAP), como próprio nome indica, é conectado em paralelo com a rede elétrica. Este tipo de equipamento é utilizado para a correção do fator de potência, para a compensação de harmônicas de corrente e no caso de sistemas trifásicos, desequilíbrios de corrente. A compensação de harmônicas de corrente e a correção do fator de potência é efetuada através da injeção de correntes na rede elétrica. Para tal o FAP opera como uma fonte de corrente controlada [8]. Para além de mitigar os problemas de QEE acima referidos, o FAP também pode permitir efetuar a interface de fontes de energia renovável com a rede elétrica [9]. Dependendo da constituição do barramento CC e dos interruptores de potência utilizados, os FAPs podem ser classificados como Filtros Ativos Paralelos Fonte de Tensão (*Voltage Source Active Filter* - VSAF) e Filtros Ativos Paralelos Fonte de Corrente (*Current Source Active Filter* - CSAF) [10].

2.2 Filtros Ativo Paralelo Monofásico do Tipo Fonte de Tensão

Os FAPs fonte de tensão são constituídos por um andar de potência e um sistema de controlo. O andar de potência é constituído por um inversor fonte de tensão (*Voltage Source Inverter* - VSI) com semicondutores totalmente controlados, um condensador no barramento CC, um condensador e uma bobina de acoplamento com a rede elétrica. Os semicondutores totalmente controlados que constituem o inversor fonte de tensão, são geralmente IGBTs (*Insulated Gate Bipolar Transistors*) ou MOSFETs (*Metal Oxide Semiconductor Field Effect Transistors*), uma vez que estes dispositivos comparativamente com os GTOs (*Gate Turn-Off Thyristors*) e os BJTs (*Bipolar Junction Transistors*), operam em frequências mais altas e possuem uma elevada impedância de entrada, o que resulta num baixo consumo de energia [11]. O fluxo de corrente de um conversor do tipo VSI é bidirecional, pelo que é necessário criar um caminho para que a corrente flua quando esta é absorvida pelo conversor. Deste modo, utiliza-se um diodo em antiparalelo com o

semicondutor totalmente controlado para que a condução bidirecional seja possível. A ligação do IGBT com o diodo antiparalelo é realizada pelo próprio fabricante do semicondutor, ou seja, os IGBTs são geralmente integrados em módulos com diodos em antiparalelo. Na Figura 2.1 está representado um filtro ativo paralelo monofásico fonte de tensão a IGBTs.

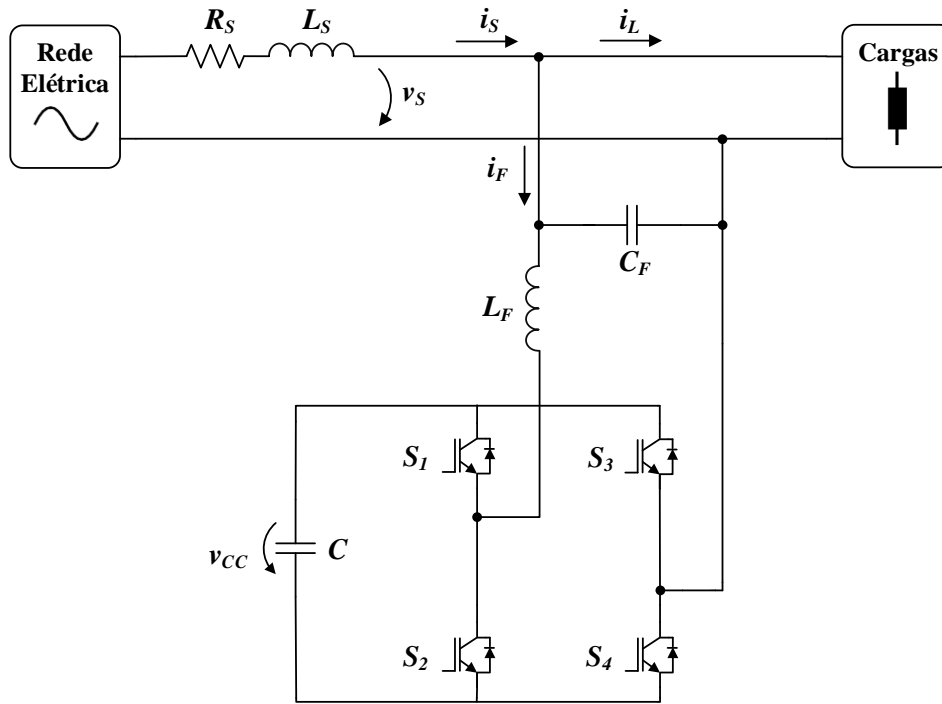


Figura 2.1. Esquema elétrico de um filtro ativo paralelo monofásico do tipo fonte de tensão.

Existem diversas técnicas de modulação e controlo de corrente que podem ser utilizadas para controlar o andar de potência do FAP. De referir que a técnica de modulação utilizada, deve garantir que os semicondutores do mesmo braço do inversor não sejam ligados simultaneamente, para que o barramento CC não seja curto-circuitado. Deste modo, os semicondutores S_1 e S_2 , bem como os semicondutores S_3 e S_4 nunca poderão conduzir simultaneamente [8]. Na Tabela 2.1 encontram-se representados os quatro estados de operação do inversor VSI monofásico em ponte completa, em que v_{out} é a tensão à saída do inversor. No estado 1, a condução é efetuada pelos interruptores S_1 e S_4 obtendo-se uma tensão de saída, $+v_{cc}$. Quando a condução é efetuada pelos S_2 e S_3 , a tensão de saída é $-v_{cc}$ (estado 2). Por fim, a tensão de saída v_{out} é nula quando os interruptores S_1 e S_3 ou S_2 e S_4 estão fechados simultaneamente (estados 3 e 4).

Tabela 2.1. Estados de operação do inversor monofásico do tipo fonte de tensão.

Estado	S_1	S_2	S_3	S_4	v_{out}
1	1	0	0	1	$+v_{cc}$
2	0	1	1	0	$-v_{cc}$
3	1	0	1	0	0
4	0	1	0	1	0

2.3 Filtros Ativo Paralelo Monofásico do Tipo Fonte de Corrente

Tal como os FAPs fonte de tensão, os FAPs fonte de corrente são constituídos por um andar de potência e um sistema de controlo. No entanto, o andar de potência é constituído por um inversor fonte de corrente (*Current-Source Inverter* - CSI), uma bobina no barramento CC, e uma bobina e um condensador de acoplamento com a rede elétrica. O inversor é constituído por semicondutores totalmente controlados, que poderão ser MOSFETs, IGBTs, RB-IGBTs (*Reverse Blocking Insulated Gate Bipolar Transistors*). No entanto, quando usados IGBTs é necessário o uso de díodos em série para garantir o bloqueio reverso, evitando que o fluxo da corrente flua pelos díodos antiparalelo. Uma alternativa a esses dispositivos são os RB-IGBTs, fazendo com que o uso de díodos se torne desnecessário [12] [13]. Na Figura 2.2 encontra-se representada a topologia de um filtro ativo paralelo monofásico do tipo fonte de corrente a RB-IGBTs. Este tipo de FAP tem uma excelente capacidade de controlo da corrente, proteção intrínseca contra curto-circuitos e uma maior fiabilidade relativamente aos filtros ativos paralelos fonte de tensão. As principais desvantagens deste tipo de filtro ativo são o tamanho da bobina do lado CC, as perdas a ela associadas e ainda a necessidade de um circuito de proteção contra sobretensões de forma a proteger os semicondutores [14].

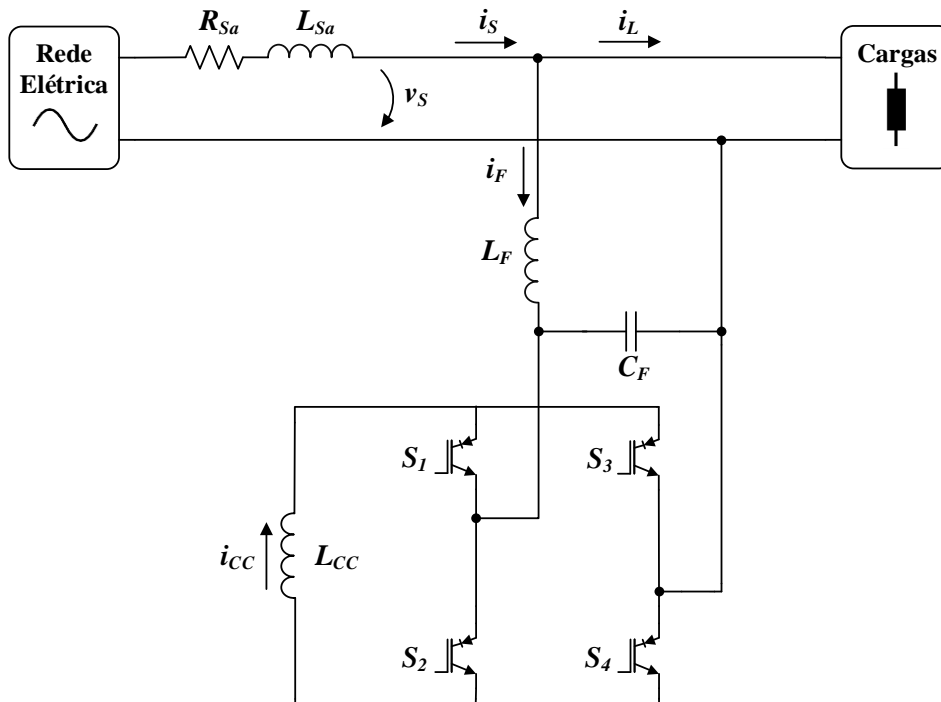


Figura 2.2. Esquema elétrico de um filtro ativo paralelo monofásico do tipo fonte de corrente.

Na Tabela 2.2 encontram-se representados os quatro estados válidos de um conversor CSI monofásico em ponte completa e correspondentes valores da corrente de saída, i_{out} . No estado 1, a condução é efetuada pelos interruptores S_1 e S_4 obtendo-se uma corrente de saída $+i_{cc}$. A corrente flui no sentido contrário quando os interruptores S_2 e S_3 estão fechados, sendo a corrente de saída $-i_{cc}$ (estado 2). Quando os interruptores S_1 e S_2 ou S_3 e S_4 estão ligados, a corrente de saída, i_{out} , é nula, sendo que a corrente flui entre a fonte e o braço do inversor ligado [8].

Tabela 2.2. Estados de operação do inversor monofásico do tipo fonte de corrente.

Estado	S_1	S_2	S_3	S_4	i_{out}
1	1	0	0	1	$+i_{cc}$
2	0	1	1	0	$-i_{cc}$
3	1	1	0	0	0
4	0	0	1	1	0

2.4 Técnicas de Modulação

As técnicas de modulação têm como função garantir que apenas sejam gerados os estados válidos, de forma a que o inversor opere apropriadamente [8]. Nesta secção são abordadas três técnicas de modulação utilizadas em inversores do tipo fonte de corrente,

nomeadamente as técnicas de largura de pulso, SPWM bipolar e SPWM unipolar, e a modulação vetorial. Para cada uma das técnicas referidas são descritos os princípios de funcionamento, bem como as principais vantagens e desvantagens de cada uma delas.

2.4.1 SPWM Bipolar

A técnica de modulação SPWM (*Sinusoidal Pulse-Width Modulation*) bipolar é uma técnica de largura de pulso (PWM) utilizada em conversores CC-CA. Esta técnica compara dois sinais, sendo eles um sinal de referência e uma onda portadora (geralmente uma onda triangular) de frequência muito mais elevada. Como é efetuada apenas uma comparação, são apenas possíveis dois níveis de corrente, $-i_{cc}$ e $+i_{cc}$, na saída do inversor. O princípio de operação desta técnica de modulação está ilustrado na Figura 2.3, onde são apresentadas a onda de referência, i^* , e a portadora triangular i_{Δ} . A figura mostra também os sinais de *gate* dos RB-IGBTs superiores do inversor, S_1 e S_3 , e ainda a corrente de saída, i_{out} .

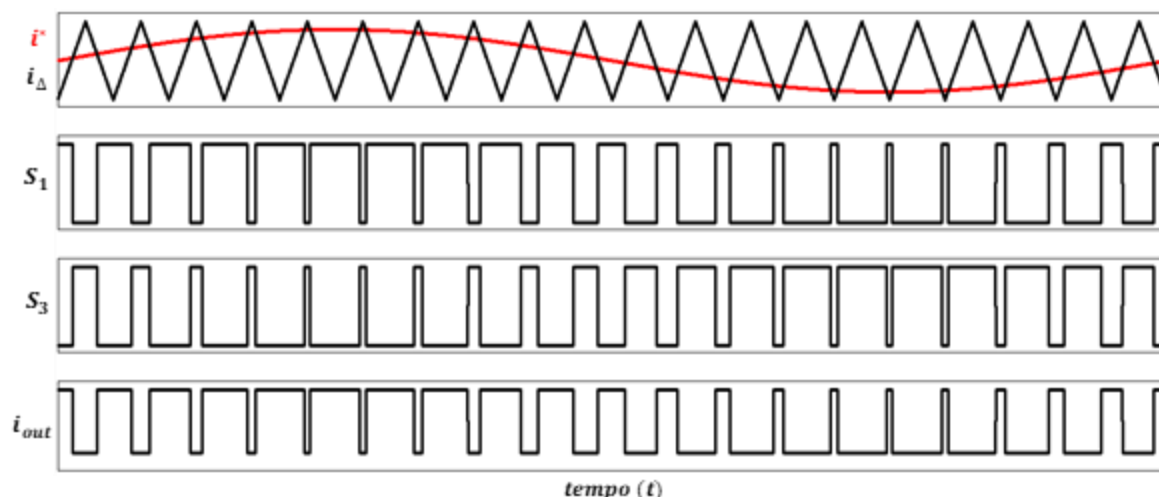


Figura 2.3. Representação do princípio de operação da técnica de modulação SPWM Bipolar: Onda portadora, i_{Δ} , onda de referência i^* , sinais de *gate* dos IGBTs superiores S_1 e S_3 e corrente de saída do inversor, i_{out} .

Através da análise da figura podemos verificar que sempre que o sinal de referência for superior à onda portadora, o semicondutor S_1 entra em condução, enquanto que o semicondutor S_3 é desligado. Se o sinal de referência for inferior à portadora triangular, o semicondutor S_1 é desligado e o semicondutor S_3 entra em condução.

Esta técnica de modulação apresenta como vantagem, o facto de ser de fácil implementação. No entanto, requer um filtro passivo de maiores dimensões o que se traduz num custo mais elevado [15].

2.4.2 SPWM Unipolar

A técnica de modulação SPWM unipolar é implementada utilizando dois sinais de referência desfasados 180° entre si, com a mesma amplitude e frequência, e uma onda portadora geralmente uma onda triangular. Neste caso são efetuadas duas comparações, resultando em três níveis de corrente, $-i_{cc}$, 0 e $+i_{cc}$, na saída do inversor. A Figura 2.4 ilustra a onda portadora, i_{Δ} , as ondas de referência i_1^* e i_2^* , os sinais de *gate* dos semicondutores S_1 e S_3 e a corrente de saída do inversor, i_{out} . Com base nesta representação, podemos verificar que sempre que o sinal de referência é superior à onda triangular, os IGBTs S_1 ou S_2 entram em condução, enquanto que os IGBTs S_3 ou S_4 são abertos, respetivamente.

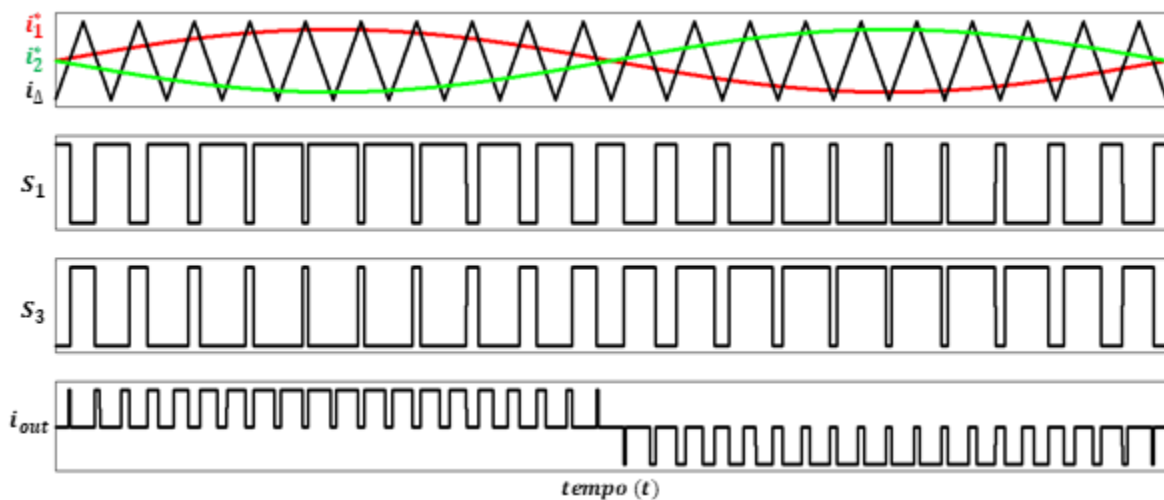


Figura 2.4. Representação do princípio de operação da técnica de modulação SPWM Unipolar: Onda portadora, i_{Δ} , ondas de referência i_1^* e i_2^* , sinais de *gate* dos semicondutores S_1 e S_3 e a corrente de saída do inversor, i_{out} .

Comparativamente à técnica de modulação SPWM bipolar, esta técnica tem como principais vantagens a obtenção de uma onda de corrente com menos distorção à saída do inversor e ainda a necessidade de um filtro passivo de tamanho menor, tornando-se menos dispendioso [15].

2.4.3 Modulação Vetorial

A técnica de modulação vetorial, também conhecida por *Space Vector Modulation* (SVM), é uma técnica digital em que o vetor de referência é sintetizado através de vetores que constituem o espaço vetorial. As técnicas de modulação vetoriais são bastante utilizadas em aplicações industriais, graças aos avanços dos semicondutores, microprocessadores e processadores digitais de sinal, podendo ser aplicadas em inversores fonte de tensão, bem como em inversores do tipo fonte de corrente [16].

Na técnica de modulação vetorial para inversores trifásicos do tipo fonte de corrente sem neutro são utilizados nove estados de comutação, de I_0 a I_9 . O plano característico para este tipo de inversores é apresentado na Figura 2.5, onde I_1 a I_6 são os vetores ativos e I_7 a I_9 são os vetores não-ativos. Os vetores ativos formam um hexágono regular com seis vetores iguais, enquanto que os vetores não-ativos estão localizados no centro do hexágono. Por outro lado, existem seis setores (I a VI), em que cada setor corresponde ao espaço entre dois vetores.

A Figura 2.5 mostra também o vetor de corrente de referência, \vec{I}_{ref} , com uma amplitude $|I_{ref}|$ e uma velocidade angular dada pela equação (2.1).

$$\omega = 2\pi f_1, \quad (2.1)$$

onde f_1 corresponde à frequência fundamental das correntes de saída do inversor. Por outro lado, \vec{I}_{ref} possui um ângulo θ em relação ao eixo α , como se verifica na equação (2.2).

$$\theta(t) = \int \omega(t)dt + \theta(0), \quad (2.2)$$

A equação (2.3) ilustra o vetor de corrente de referência, \vec{I}_{ref} .

$$\begin{aligned} \vec{I}_{ref} &= \frac{2}{3} \left(i_a + i_b e^{\frac{2\pi}{3}j} + i_c e^{\frac{4\pi}{3}j} \right) = I_{ref\alpha} + j I_{ref\beta} \\ &= |I_{ref}| e^{j\theta}, \end{aligned} \quad (2.3)$$

Onde i_a , i_b e i_c são as correntes sintetizadas pelo inversor trifásico em cada uma das fases, enquanto que $I_{ref\alpha}$ e $I_{ref\beta}$ correspondem à amplitude de \vec{I}_{ref} nos eixos I_α e I_β , respetivamente.

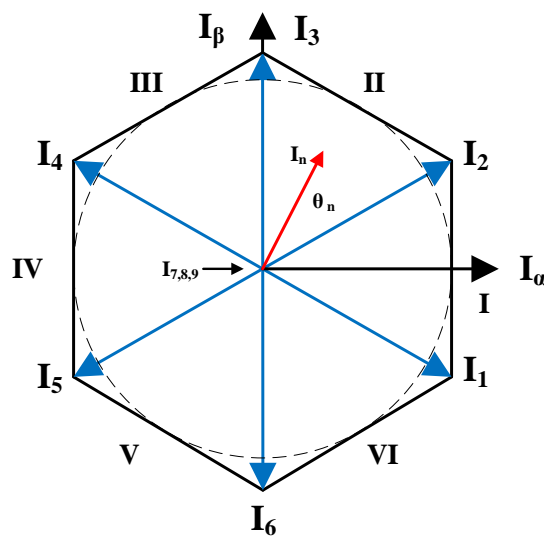


Figura 2.5. Plano vetorial para inversores do tipo fonte de corrente (adaptado de [16]).

Cada vetor do plano vetorial corresponde a uma combinação de semicondutores do CSI trifásico. Na Tabela 2.3 estão representados os nove vetores válidos e respetivas combinações de semicondutores de um inversor trifásico do tipo fonte de corrente.

Tabela 2.3. Vetores válidos e combinações de semicondutores de um inversor trifásico do tipo fonte de corrente.

Vetor	S_1	S_2	S_3	S_4	S_5	S_6
\vec{I}_1	1	1	0	0	0	0
\vec{I}_2	0	1	1	0	0	0
\vec{I}_3	0	0	1	1	0	0
\vec{I}_4	0	0	0	1	1	0
\vec{I}_5	0	0	0	0	1	1
\vec{I}_6	1	0	0	0	0	1
\vec{I}_7	1	0	0	1	0	0
\vec{I}_8	0	0	1	0	0	1
\vec{I}_9	0	1	0	0	1	0

2.5 Técnicas de Controlo de Corrente

As técnicas de controlo de corrente definem em cada instante o estado dos semicondutores do inversor, para que a corrente de saída do mesmo siga a corrente de referência. A escolha de uma técnica apropriada é uma tarefa importante para garantir uma corrente de saída com melhor qualidade, ou seja, com baixo conteúdo harmónico [17] [18]. Posto isto, nesta secção são abordadas as principais técnicas de controlo de corrente utilizadas em inversores.

2.5.1 Controlo de Corrente por Histerese

O controlo de corrente por histerese tem como objetivo garantir que a corrente de saída do conversor acompanhe a corrente de referência, sem ultrapassar uma margem de erro admissível (margem de histerese). Na Figura 2.6 está representado o diagrama de blocos do controlo de corrente por histerese, onde é feita a comparação entre a corrente de referência, i^* e a corrente de saída do conversor, i_{out} . O erro resultante dessa comparação é posteriormente comparado com a margem de histerese. Quando o valor do erro ultrapassa o limite superior da margem de histerese, $+h$, o semicondutor de potência superior, S_1 do inversor será ativado e o semicondutor superior S_3 desativado, enquanto que quando o valor

do erro é inferior ao limite inferior da margem de histerese, $-h$, o semiconductor superior S_1 é desligado e o S_3 ligado. O estado dos semicondutores mantém-se quando o valor do erro se encontra dentro da margem de histerese [19].

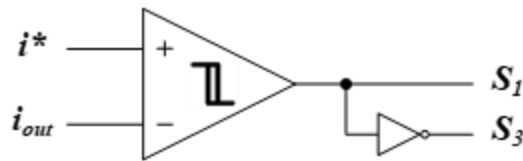


Figura 2.6. Diagrama de blocos da técnica de controlo de corrente por histerese.

A técnica de controlo de corrente por histerese é bastante simples e fornece uma resposta rápida. A principal desvantagem desta técnica é o facto de a frequência de comutação não ser fixa, traduzindo-se em perdas de comutação acrescidas e num ruído de comutação dos semicondutores mais difícil de filtrar [17].

2.5.2 Controlo de Corrente por *Periodic Sampling*

A técnica *Periodic-Sampling* é de fácil implementação, sendo apenas necessário um comparador e um *flip-flop* do tipo D para cada braço do inversor. Na Figura 2.7 é apresentado o diagrama de blocos da técnica de controlo de corrente por *Periodic-Sampling*. O *flip-flop* D garante que a frequência máxima de comutação dos IGBTs esteja limitada a metade da frequência do sinal de *clock*. A cada transição ascendente do sinal de *clock*, a comparação entre a corrente de referência, i^* , e a corrente à saída do inversor, i_{out} , transita da entrada D para as saídas do *flip-flop* [8] [20]. Para um braço do inversor, se a corrente de referência for superior à corrente de saída, o IGBT superior S_1 é fechado e o IGBT S_3 aberto, se se verificar a situação contrária o IGBT S_1 é aberto e o S_3 fechado.

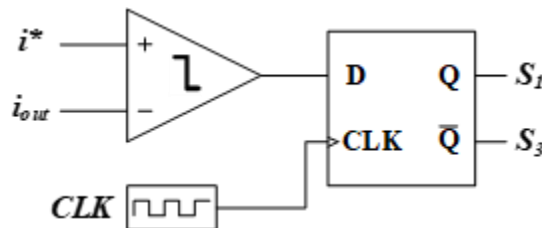


Figura 2.7. Diagrama de blocos da técnica de controlo de corrente por *Periodic Sampling*.

Tal como a técnica de controlo de corrente por histerese, a técnica *Periodic-Sampling* não garante uma frequência de comutação fixa, apresentando as mesmas desvantagens que a técnica de controlo de corrente anteriormente descrita.

2.5.3 Controlo de Corrente PI (Proporcional-Integral)

A técnica de controlo de corrente PI tem como variável de entrada o valor do erro obtido através da diferença entre a corrente de referência, e a corrente medida, sendo posteriormente aplicados os ganhos proporcional e integral. O sinal resultante do controlo PI é a variável de referência da técnica de modulação SPWM que, comparada com a onda portadora, resulta num sinal de comando para os semicondutores de potência do inversor. O diagrama de blocos desta técnica de controlo de corrente com modulação SPWM está representada na Figura 2.8.

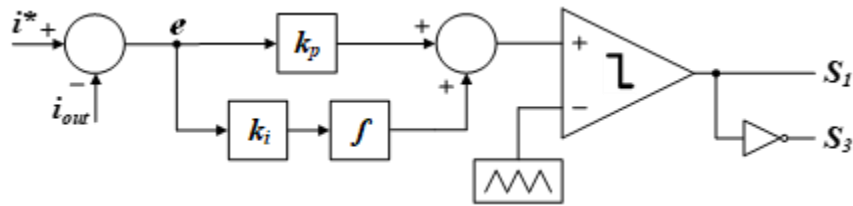


Figura 2.8. Diagrama de blocos da técnica de controlo de corrente PI com modulação SPWM.

Esta técnica apresenta como desvantagens o facto de na mudança de cargas ser necessário novamente o ajuste de ganhos. Por outro lado, em regime permanente o erro não chega a atingir o valor zero [21].

2.5.4 Controlo de Corrente Preditivo

O controlo de corrente preditivo é usado para o cálculo da corrente de referência necessária para a modulação dos semicondutores do inversor. Este tipo de controlo de corrente foi aplicado em [22], para um retificador fonte de corrente. Posto isto, todas as equações de seguida apresentadas baseiam-se em [22]. Nesta abordagem, para o cálculo da corrente de referência foram determinados os coeficientes c_1 , c_2 , c_3 e c_4 que serão fundamentais nos cálculos seguintes. Considerando C_F e L_F o condensador e a bobina do filtro passivo, respetivamente, os coeficientes c_1 , c_2 , c_3 e c_4 são determinados pelas equações (2.4) a (2.7).

$$c_1 = \sqrt{\frac{C_F}{L_F}} \sin(T_s \omega_r) \quad (2.4)$$

$$c_2 = -c_1 \quad (2.5)$$

$$c_3 = \cos(T_s \omega_r) \quad (2.6)$$

$$c_4 = 1 - c_3, \quad (2.7)$$

em que T_s corresponde ao período de amostragem, enquanto que ω_r é a frequência de ressonância do filtro passivo que é dada pela equação (2.8).

$$\omega_r = \frac{1}{\sqrt{C_F L_F}} \quad (2.8)$$

De forma a obter a corrente de referência do inversor i^* é necessário o valor da tensão da rede, v_s , a corrente à saída do filtro passivo, i_F , a tensão no condensador do filtro passivo, v_{C_F} , e a corrente de entrada do inversor, i_s^{k+1} . Posto isto, a corrente de referência é determinada pelas equações (2.9) e (2.10).

$$i_s^{k+1} = c_1 v_s^k + c_2 v_{C_F}^k + c_3 i_F^k + c_4 i^* \quad (2.9)$$

$$i^* = \frac{i_s^{k+1} - (c_1 v_s^k + c_2 v_{C_F}^k + c_3 i_F^k)}{c_4} \quad (2.10)$$

É de salientar que a corrente resultante, i^* , constitui a corrente de referência da técnica de modulação SPWM.

Comparativamente à técnica de controlo PI, a técnica de controlo preditivo apresenta uma resposta mais rápida e não necessita do ajuste de ganhos [21] [23].

2.6 Técnicas de Identificação Aplicáveis a Filtros Ativos Paralelos Monofásicos

Os Filtros Ativos Paralelos comportam-se como fontes de corrente, sendo capazes de fornecer as harmónicas e a potência reativa exigidas pelas cargas. Para isso, é necessário a aplicação de uma teoria de controlo para que o FAP injete a corrente de compensação necessária, de forma a que a corrente na fonte seja sinusoidal e em fase com a tensão da rede eléctrica [24]. Nesta secção são apresentadas duas teorias de controlo no domínio do tempo, a teoria de Fryze e a teoria $p-q$, e a técnica de identificação das componentes a compensar, no domínio da frequência utilizando a transformada de Fourier.

2.6.1 Teoria de Fryze

O princípio base da teoria de Fryze assenta na substituição da carga monofásica a compensar pela sua condutância equivalente em paralelo com uma fonte de corrente, como se pode verificar na Figura 2.9 [25]. A fonte de corrente representa a parcela reativa da corrente consumida pela carga, enquanto que a condutância representa a parcela ativa da corrente que a carga consome.

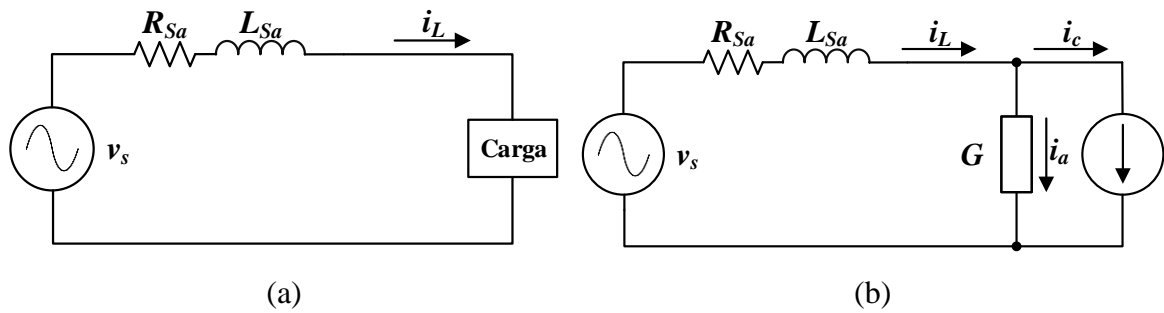


Figura 2.9. Princípio base da teoria de Fryze: (a) Exemplo de um circuito monofásico. (b) Circuito equivalente para a decomposição da corrente da carga.

De forma a aplicar este método, começa-se por calcular a potência ativa através dos valores eficazes da tensão da rede e da corrente na carga. Posto isto, a condutância equivalente, G , é obtida através do valor médio da potência ativa, P , e do valor eficaz quadrático da tensão da rede, v_s^2 , como se verifica na equação (2.11). A corrente ativa, i_a , é obtida recorrendo à equação (2.12).

$$G = \frac{P}{v_s^2} \quad (2.11)$$

$$i_a = G v_s \quad (2.12)$$

Aplicando a equação (2.13) é possível determinar a corrente de compensação do filtro ativo paralelo, i_c , que corresponde à diferença entre a corrente consumida pela carga, i_L , e a corrente ativa fornecida pela fonte, i_a [26].

$$i_c = i_L - i_a. \quad (2.13)$$

Esta teoria apresenta como vantagem o facto de na sua implementação incluir equações mais simples que outras teorias de controlo aplicadas a FAPs, nomeadamente a Teoria $p-q$, abordada no próximo subcapítulo, pois não necessita de recorrer à transformação de coordenadas [27].

2.6.2 Teoria $p-q$

A teoria $p-q$ foi inicialmente introduzida em sistemas trifásicos por Akagi *et al.* em 1984. Apesar desta teoria ser intensivamente utilizada para gerar as correntes de compensação de filtros ativos trifásicos, devido à sua rápida resposta e pelo facto de não necessitar de cálculos complexos, esta também pode ser adaptada a sistemas monofásicos, tendo sido estendida por Lui *et al.* com o objetivo de controlar um filtro ativo híbrido monofásico, que consistia num filtro ativo série combinado com um filtro passivo [28].

O princípio de funcionamento da teoria $p-q$ consiste na transformação das tensões medidas na rede elétrica (v_a, v_b, v_c) e das correntes medidas na carga (i_a, i_b, i_c) do sistema de coordenadas $a-b-c$, para um sistema de coordenadas $\alpha-\beta-0$, através da transformada de *Clarke* [29]. A conversão das tensões da rede elétrica e das correntes na carga para um sistema de coordenadas $\alpha-\beta-0$ é realizada pelas equações (2.14) e (2.15), respetivamente.

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.14)$$

$$\begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.15)$$

Tal como foi referido anteriormente, a teoria $p-q$ é originalmente aplicada a sistemas trifásicos, no entanto é utilizada uma estratégia para sistemas monofásicos que consiste na criação de duas correntes e de duas tensões virtuais, cujo desfasamento entre elas é de $\pm 120^\circ$. Depois desta operação, o princípio é o mesmo que se aplica para sistemas trifásicos, com a diferença de nos sistemas monofásicos ser apenas necessário o cálculo da corrente de compensação da fase a do sistema trifásico [29].

Após a realização da transformada de *Clarke*, a potência real instantânea, p , e a potência imaginária instantânea, q , são determinadas recorrendo à equação (2.16):

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (2.16)$$

Para além disso, a teoria $p-q$ permite a decomposição das potências, p e q , garantindo a separação das componentes indesejáveis que devem ser injetadas pelo filtro ativo paralelo [24], como se verifica nas equações (2.17) e (2.18).

$$p = \bar{p} + \tilde{p} \quad (2.17)$$

$$q = \bar{q} + \tilde{q}, \quad (2.18)$$

onde \bar{p} e \bar{q} representam a potência real e imaginária na frequência fundamental, respetivamente, enquanto que \tilde{p} e \tilde{q} são a potência real e a potência imaginária das componentes harmónicas. De forma a calcular as correntes de compensação no sistema de

coordenadas α - β , a equação (2.19) é invertida e as potências a compensar (\tilde{p} e q) são utilizadas, como é apresentado na equação (2.19):

$$\begin{bmatrix} i_{F\alpha}^* \\ i_{F\beta}^* \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix}^{-1} \begin{bmatrix} -\tilde{p} \\ -q \end{bmatrix} \quad (2.19)$$

Posto isto, a corrente de compensação injetada pelo filtro ativo paralelo é obtida aplicando a equação (2.20) [28].

$$i_{F\alpha}^* = \frac{1}{v_\alpha^2 + v_\beta^2} [v_\alpha (-\tilde{p}) + v_\beta (-q)] \quad (2.20)$$

2.6.3 Transformada de Fourier

O cálculo da corrente de compensação por parte do FAP pode também ser efetuado recorrendo à transformada de Fourier. Esta análise no domínio da frequência é aplicada para determinar as harmónicas a serem compensadas ou pode ser também utilizada para detetar a frequência fundamental da corrente, anulando as restantes frequências. A análise da DFT (*Discrete Fourier Transform*) requer um número assinalável de cálculos, o que implica um maior tempo de processamento. No entanto, é possível reduzir o número de cálculos computacionais da DFT [30]. A equação (2.21) ilustra um sinal no domínio da frequência, em que $i[n]$ é o sinal no domínio do tempo, o k é o índice de frequência e N o número de amostras [31].

$$I[k] = \sum_{n=0}^{N-1} i[n] e^{-j2\pi k \frac{n}{N}} \quad (2.21)$$

Posto isto, o sinal $I[k]$ pode ser decomposto nas suas partes real, Re , e imaginária, Im , como está ilustrado nas equações (2.22) e (2.23), respetivamente.

$$Re[k] = \sum_{n=0}^{N-1} i[n] \cos\left(2\pi k \frac{n}{N}\right) \quad (2.22)$$

$$Im[k] = \sum_{n=0}^{N-1} i[n] \sin\left(2\pi k \frac{n}{N}\right) \quad (2.23)$$

Sendo conhecidas as expressões que determinam as partes real e imaginária no domínio da frequência, é possível determinar a amplitude e a fase para uma determinada frequência com índice k . A amplitude, A , e a fase, θ , da frequência fundamental são dadas pelas equações (2.24) e (2.25), respetivamente.

$$A[k] = \sqrt{\text{Re}[k]^2 + \text{Im}[k]^2} \quad (2.24)$$

$$\theta[k] = \tan^{-1}\left(\frac{\text{Im}[k]}{\text{Re}[k]}\right) \quad (2.25)$$

De forma a obter-se a corrente de compensação, é necessário recorrer à transformada inversa de Fourier (*Inverse Discrete Fourier Transform – IDFT*), pois esta é gerada no domínio do tempo. A equação (2.26) ilustra a transformada inversa de Fourier de um sinal no domínio de frequência, $I[k]$ [31].

$$i[n] = \sum_{k=0}^{N/2} \text{Re}\bar{I} \cos\left(2\pi k \frac{n}{N}\right) + \sum_{k=0}^{N/2} \text{Im}\bar{I} \sin\left(2\pi k \frac{n}{N}\right), \quad (2.26)$$

onde n varia entre 0 a $N - 1$ e k varia entre 0 a $N/2$.

A transformada de Fourier apresenta como vantagem o facto de poder ser utilizada em sistemas trifásicos e em sistemas monofásicos. No entanto, quando necessária a compensação de harmónicas de ordem mais elevada, o uso desta técnica torna-se desvantajosa, visto que o número de cálculos aumenta, resultando em tempos de resposta mais lentos [32].

2.7 Conclusões

Ao longo deste capítulo foram apresentados os Filtros Ativos de Potência (FAP) que funcionam como uma fonte de corrente controlada. A descrição dos FAPs foi dividida em duas categorias, os FAPs fonte de tensão monofásicos, que possuem no seu barramento CC um condensador, e com maior realce os FAPs fonte de corrente monofásicos que possuem uma bobina no barramento CC.

Foram também apresentadas duas técnicas de modulação de largura de pulso aplicáveis a conversores CC-CA. Por outro lado, foi descrita a Modulação Vetorial geralmente aplicada em inversores trifásicos do tipo fonte de corrente.

Foram também descritas as principais técnicas de controlo de corrente para os conversores CC-CA de frequência variável, tais como o controlo por histerese e o controlo por *Periodic-Sampling*. No que diz respeito a técnicas de frequência fixa, foram apresentados o controlo PI e o controlo preditivo. As técnicas de controlo de frequência variável têm como principais vantagens o facto de proporcionarem uma resposta mais rápida e de serem de fácil aplicação. Em contrapartida, o facto destas técnicas não possuírem uma frequência de comutação fixa, pode levar a que haja perdas de comutação acrescidas e a um ruído de comutação dos semicondutores mais difícil de filtrar.

Por fim, foram abordadas algumas técnicas de controlo utilizadas em FAPs monofásicos, para a obtenção da corrente de compensação. As técnicas de controlo no domínio do tempo abordadas foram a teoria de Fryze que consiste na substituição da carga monofásica a compensar pela sua condutância equivalente em paralelo com uma fonte de corrente, e a teoria $p-q$ que normalmente é utilizada em sistemas trifásicos, mas que também pode ser adaptada para sistemas monofásicos. No domínio da frequência, foi abordada a transformada de Fourier que é utilizada para detetar a frequência fundamental da corrente, anulando as restantes frequências ou determinar as frequências a serem compensadas. Esta técnica não é muito vantajosa quando necessária a compensação de harmónicas mais elevadas, pois requer mais cálculos, resultando em tempos de resposta mais lentos.

Capítulo 3

Simulações do Filtro Ativo Paralelo Monofásico

3.1 Introdução

As simulações computacionais são imprescindíveis no desenvolvimento de sistemas de eletrônica de potência, pois permitem efetuar o ajuste de controladores, testar conceitos e prever comportamentos dos circuitos a implementar de forma rápida, segura e sem custos. Por outro lado, com as ferramentas de simulação e modelos precisos é possível obter resultados muito similares ao sistema real.

Neste capítulo são apresentadas as simulações dos modelos constituídos pelo FAP monofásico CSI convencional e pelo filtro ativo paralelo com o barramento CC modificado. Inicialmente é descrito o sistema de sincronização com a rede elétrica baseado numa malha de captura de fase. Posteriormente são apresentadas as várias etapas de controlo do FAP, nomeadamente a regulação da corrente no barramento CC, seguido do método de identificação das componentes das correntes a serem compensadas e por fim a modulação do conversor CC-CC.

3.2 Modelo de Simulação do Filtro Ativo Paralelo Monofásico Convencional do Tipo Fonte de Corrente

O desenvolvimento do modelo de simulação do FAP no software *PSIM* está dividido em duas fases distintas. Numa primeira fase foi simulado o FAP monofásico do tipo fonte de corrente como se pode verificar na Figura 3.1. Este modelo de simulação é constituído por um andar de potência e por um sistema de controlo. O andar de potência possui o CSI monofásico, uma bobina no barramento CC e o filtro à saída do inversor. Nesta simulação são utilizadas duas cargas, uma carga linear e uma carga não-linear. A carga linear é uma carga RL, enquanto que a carga não-linear trata-se de um retificador em ponte completa a díodos com filtro RC e com uma bobina de entrada. Relativamente ao sistema de controlo, podemos verificar que este é constituído por um *C block*. Esta funcionalidade do *PSIM* permite a codificação dos algoritmos em linguagem C, o que a torna bastante vantajosa na migração do código utilizado na simulação para a implementação, uma vez que o sistema de desenvolvimento (IDE) para a placa DSC (*Digital Signal Controller*) utilizada opera

também em linguagem C. O bloco C possui o código necessário para o controlo do FAP. À entrada deste bloco temos a leitura da tensão da rede elétrica, da corrente no barramento CC e da corrente da carga, leituras essas realizadas pelos sensores de tensão e de corrente aplicados no circuito de potência do FAP. À saída é gerada a tensão da E-PLL (*Enhanced Phase Locked Loop*) para a sincronização do sistema de controlo com a rede elétrica e a corrente de compensação do FAP. A corrente de compensação é calculada através de uma das teorias de controlo aplicadas a FAPs monofásicos, a teoria de Fryze. Por outro lado, também é realizada a regulação da corrente do barramento CC recorrendo a um controlador PI.

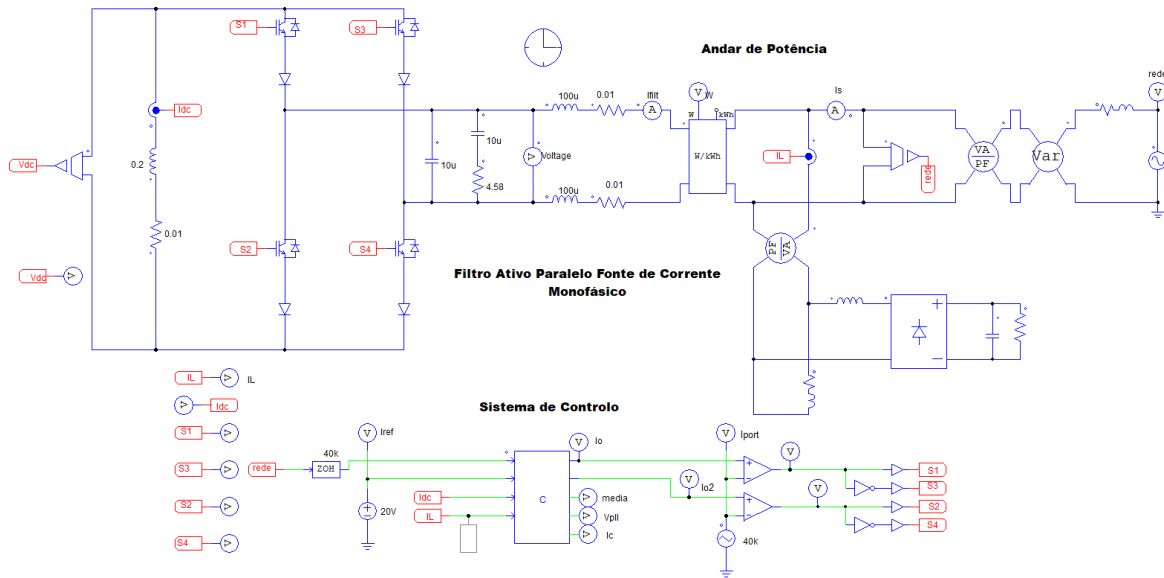


Figura 3.1. Andar de potência e sistema de controlo do modelo de simulação do FAP convencional no software PSIM.

Numa segunda fase, após a obtenção da correta operação do FAP convencional, procedeu-se ao estudo do sistema de controlo do conversor ligado ao barramento CC. O modelo de simulação do FAP com o barramento CC reduzido está ilustrado na Figura 3.2. Neste modelo de simulação manteve-se todo o controlo do FAP anteriormente mencionado e adicionou-se um segundo bloco C, onde é aplicado um algoritmo simples para a correta modulação dos semicondutores de potência que constituem o conversor. É de salientar que a frequência de amostragem é de 40 kHz. A carga é a mesma que foi utilizada na simulação do FAP convencional.

Nas secções a seguir são apresentados os resultados de simulação obtidos com o FAP convencional e com o FAP com o barramento CC reduzido.

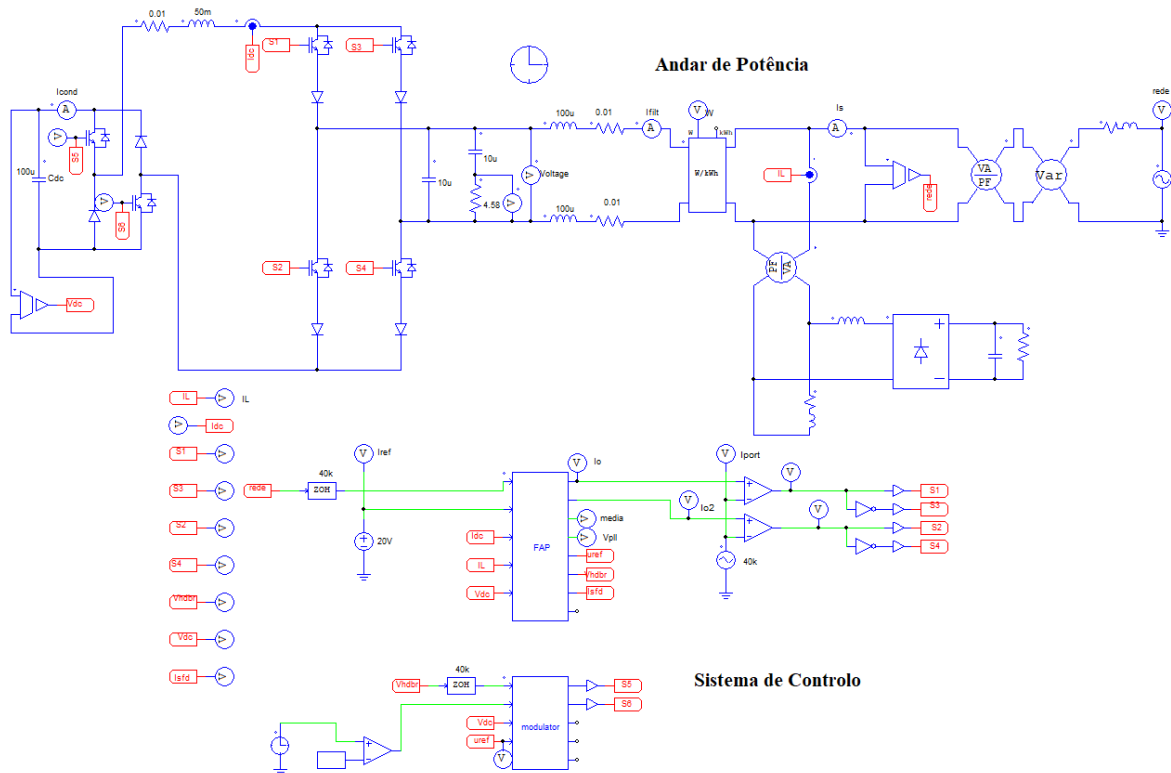


Figura 3.2. Andar de potência e sistema de controlo do modelo de simulação do FAP com o barramento CC reduzido no software PSIM.

3.3 Malha de Captura de Fase

Os algoritmos de controlo do FAP são aplicados juntamente com um método de sincronização com a rede elétrica. Esta sincronização é efetuada através de uma malha de captura de fase sendo neste caso utilizada a E-PLL (*Enhanced Phase Locked Loop*). O diagrama de blocos utilizado foi proposto por Karimi [33] e está representado na Figura 3.3. O sinal de entrada da E-PLL pode ser um sinal distorcido, sendo obtido à saída um sinal cujas fase e amplitude estão sincronizadas com a componente fundamental do sinal de entrada. A estrutura da E-PLL é constituída por um Detetor de Fase (*Phase Detector* - PD), um Filtro de Malha (*Loop Filter* - LF) e um Oscilador Controlado por Tensão (*Voltage-controlled Oscillator* - VCO). O sinal de entrada, v , corresponde à tensão da rede elétrica, que é comparado com o sinal de saída, y , que corresponde à tensão gerada pela E-PLL. A diferença entre as duas tensões dá lugar ao erro e , que é posteriormente utilizado para o cálculo da amplitude e da fase. Por outro lado, V é o resultado de estimação da amplitude e ϕ é o resultado de estimação da fase, enquanto que a frequência é dada por ω_0 . As variáveis k , k_i e k_p são os ganhos que podem ser ajustados, de forma a melhorar a performance da E-PLL [34].

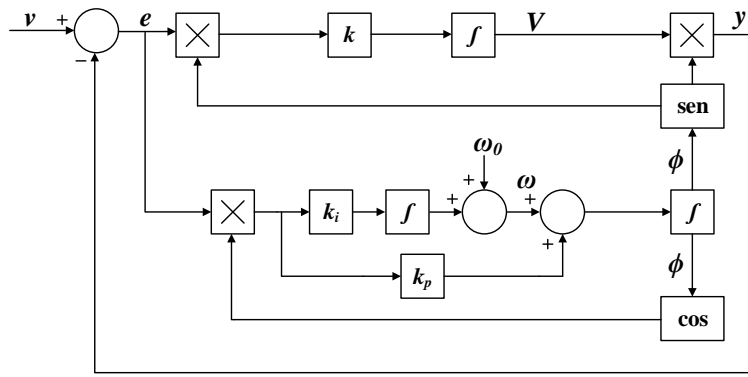


Figura 3.3. Diagrama de blocos da malha de sincronização com a rede elétrica.

Na Figura 3.4 estão apresentadas as ondas sinusoidais da tensão da rede elétrica, v_S , e da tensão gerada pela E-PLL, v_{PLL} , onde se pode verificar que no instante 0,125 s, o sinal v_{PLL} tem a mesma amplitude e fase que a tensão da rede elétrica, v_S , e com uma frequência de 50 Hz.

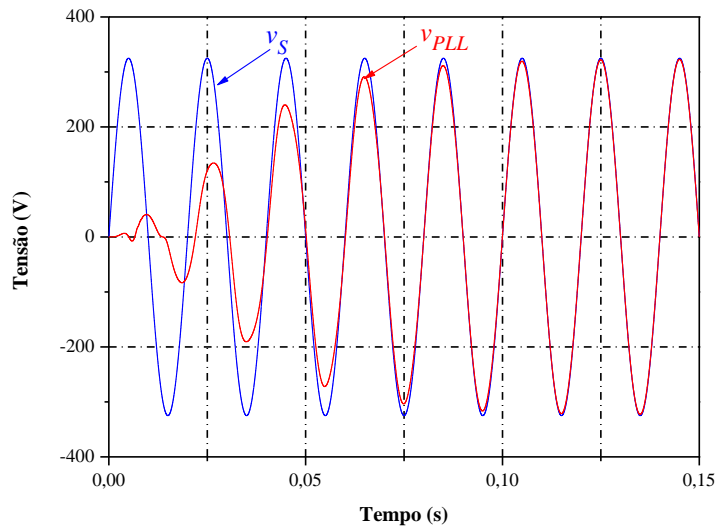


Figura 3.4. Resultados de simulação da tensão da rede elétrica e do sinal de saída da E-PLL.

Tal como foi referido anteriormente, o sinal de entrada da E-PLL pode ser distorcido. Na Figura 3.5 encontra-se representado o resultado de simulação da tensão da rede distorcida e do sinal de saída da E-PLL. A partir do instante 0,1 s, a v_{PLL} é sinusoidal e está em fase com a tensão da rede elétrica. Deste modo, pode-se comprovar através dos resultados experimentais anteriormente descritos que a E-PLL é eficaz quer para tensões da rede elétrica ideais, quer para tensões distorcidas.

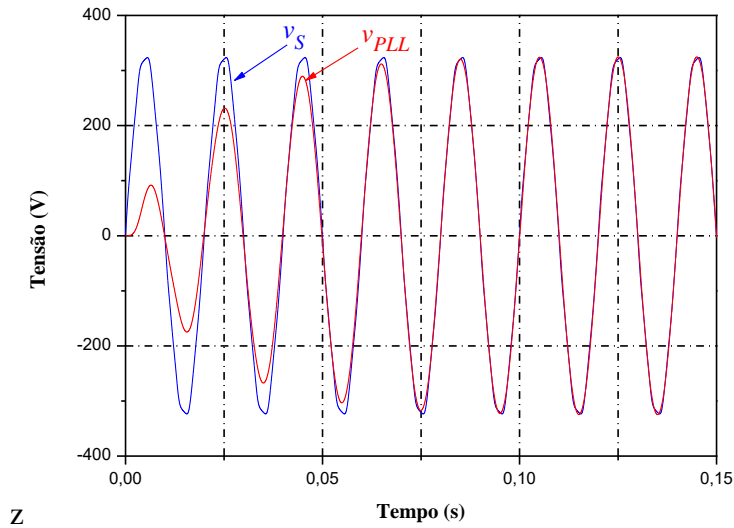


Figura 3.5. Resultados de simulação da tensão da rede elétrica distorcida e do sinal de saída da E-PLL.

3.4 Operação do Filtro Ativo Paralelo Convencional

Como foi referido anteriormente, nesta secção são apresentados os resultados de simulação do FAP convencional e do FAP com o barramento CC reduzido. Inicialmente, o andar de potência do FAP é constituído por um inversor do tipo fonte de corrente e por um filtro passivo amortecido ligado à saída do inversor. O filtro passivo amortecido é necessário para reduzir as perdas e as interferências eletromagnéticas (EMI) provocadas pelo inversor [35]. A Figura 3.6 ilustra o filtro passivo amortecido com o condensador dividido utilizado.

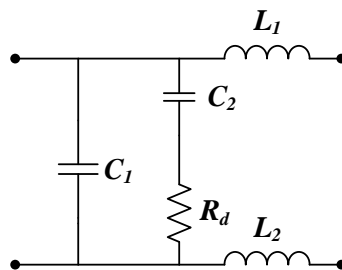


Figura 3.6. Filtro passivo amortecido com o condensador dividido.

Neste tipo de filtro utiliza-se um condensador em série com a resistência de amortecimento, R_d , para reduzir a dissipação por parte da mesma [36]. O cálculo do valor dos condensadores deste tipo de filtro é dado pela equação (3.1).

$$C_2 = n C_1 \quad (3.1)$$

Na maioria dos casos um valor de n aproximado de 1 é uma escolha razoável como se pode verificar em [35], pelo que o valor dos condensadores neste filtro possuem o mesmo valor, 10 μ s. Posto isto, o cálculo da resistência R_d é feito através da equação (3.2).

$$R_d = \sqrt{\frac{L}{C}} \sqrt{\frac{(2+n)(4+3n)}{2n^2(4+n)}} \quad (3.2)$$

Considerando um valor da bobina, L , de $200 \mu\text{H}$, os condensadores C_1 e C_2 possuem valor de $10 \mu\text{F}$ e n igual a 1, o valor de resistência utilizado nesta simulação é de $4,58 \Omega$.

Os resultados de simulação apresentados a seguir são referentes ao FAP monofásico CSI convencional ilustrado na Figura 3.7.

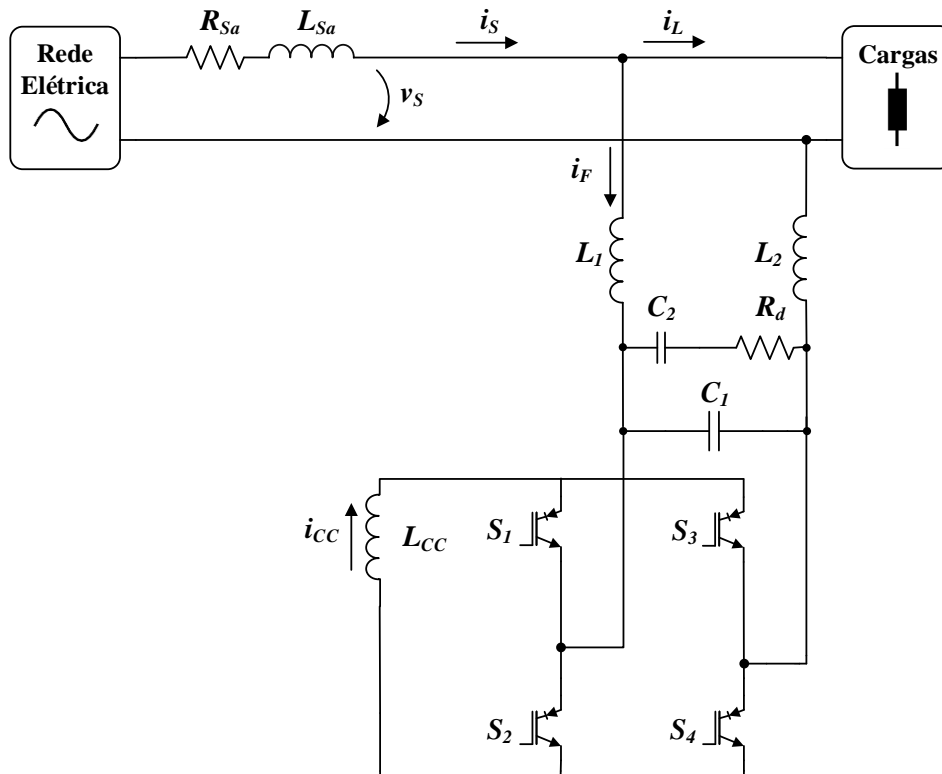


Figura 3.7. Esquema elétrico do FAP monofásico convencional do tipo fonte de corrente.

3.4.1 Regulação da Corrente no Barramento CC

Uma vez que a presente dissertação aborda um FAP constituído por um inversor do tipo fonte de corrente, o seu barramento CC é constituído por elementos indutivos. Como tal, o barramento CC é constituído por uma bobina de 200 mH com uma resistência interna de $0,01 \Omega$. A regulação da corrente do barramento CC é efetuada através do controlador PI, que compara o valor de corrente de referência, que neste caso é de 20 A , com a corrente medida no barramento CC. Esta comparação resulta no erro, que é submetido aos ganhos proporcional e integral. O sinal à saída do PI constitui o sinal de comando para a comutação dos semicondutores de potência.

Na Figura 3.8 é possível observar a corrente no barramento CC do FAP, i_{CC} , que no instante $0,25 \text{ s}$ estabiliza no valor de referência pretendido.

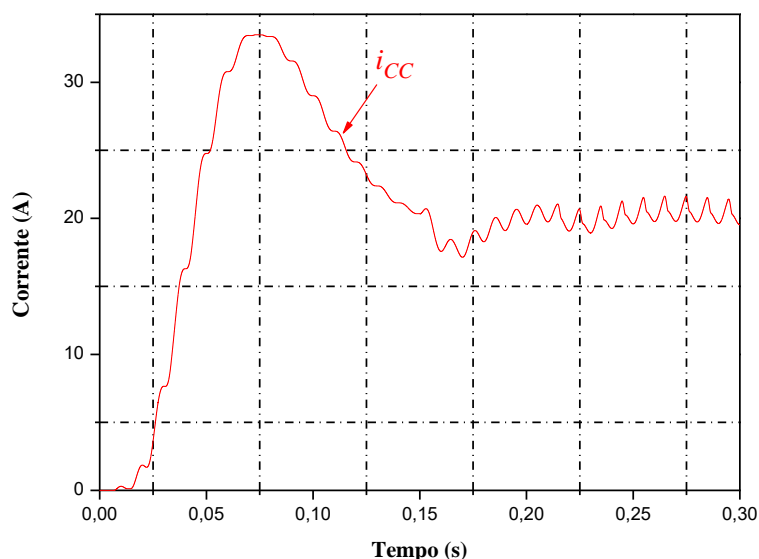


Figura 3.8. Resultados de simulação da regulação da corrente no barramento CC do FAP convencional.

3.4.2 Cálculo da Corrente de Compensação com Base na Teoria de Fryze

O cálculo da corrente de compensação é efetuado através da teoria de Fryze abordada anteriormente na secção 2.6.1. Esta escolha deve-se ao facto de ser um método simples de aplicar, não envolvendo muito cálculos, resultando num tempo de processamento aceitável. Como referido anteriormente, a teoria de Fryze consiste na substituição da carga monofásica a compensar pela sua condutância equivalente. Assim, começa-se por calcular a potência ativa instantânea, p , multiplicando os valores instantâneos da tensão da rede, v_s , e da corrente na carga, i_L . A potência obtida é utilizada para o cálculo da potência média através de uma média deslizante. Posto isto, a condutância equivalente G é obtida fazendo o quociente entre o valor médio da potência ativa, e o valor eficaz quadrático da tensão da rede, v_s^2 . Assim, a corrente ativa, i_a , é calculada multiplicando a condutância e a tensão da rede. Nesta simulação, utilizou-se o valor da v_{PLL} em vez da tensão da rede, uma vez que esta pode estar distorcida, resultando numa corrente compensada também distorcida. Por último, a corrente de compensação fornecida pelo FAP é obtida recorrendo à equação (3.3).

$$i_c^* = i_L - \frac{P}{v_s^2} v_{PLL} \quad (3.3)$$

Após a codificação dos algoritmos da teoria de Fryze, foi realizada a simulação para o cálculo da corrente de compensação do FAP. Na Figura 3.9 encontra-se representada a tensão da rede, v_s e a corrente consumida pelas cargas, i_L .

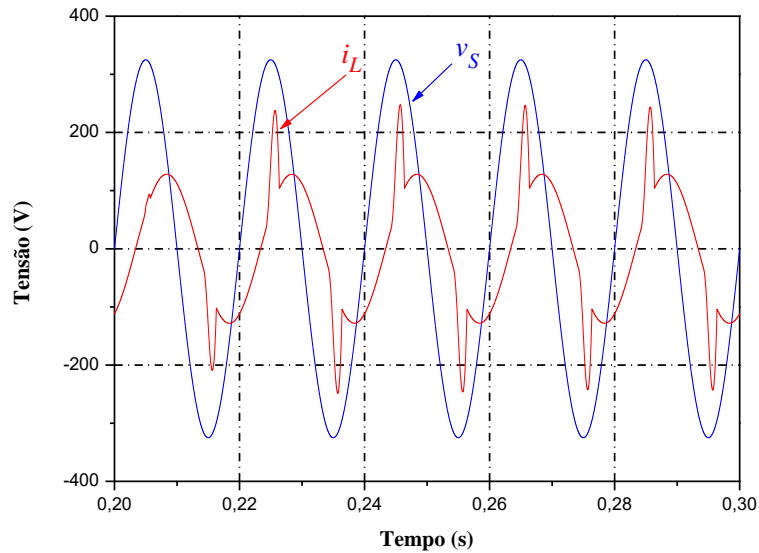


Figura 3.9. Resultados de simulação da tensão da rede elétrica e da corrente consumida pelas cargas.

A corrente de compensação i_c^* obtida através da teoria de Fryze está representada na Figura 3.10.

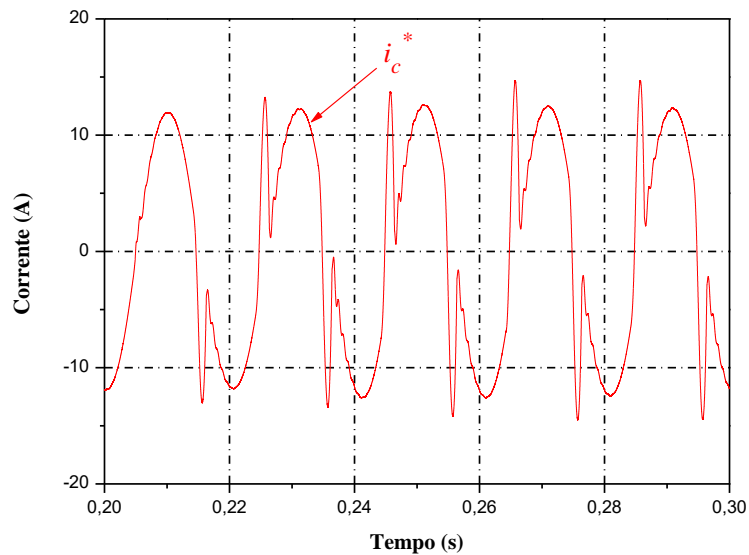


Figura 3.10. Resultados de simulação da corrente de compensação produzida pela teoria de Fryze.

De forma a comprovar a eficácia desta teoria, foi subtraída à corrente consumida pela carga, a corrente de compensação calculada pela teoria de controlo, pelo que se pode concluir que a corrente na fonte fica compensada.

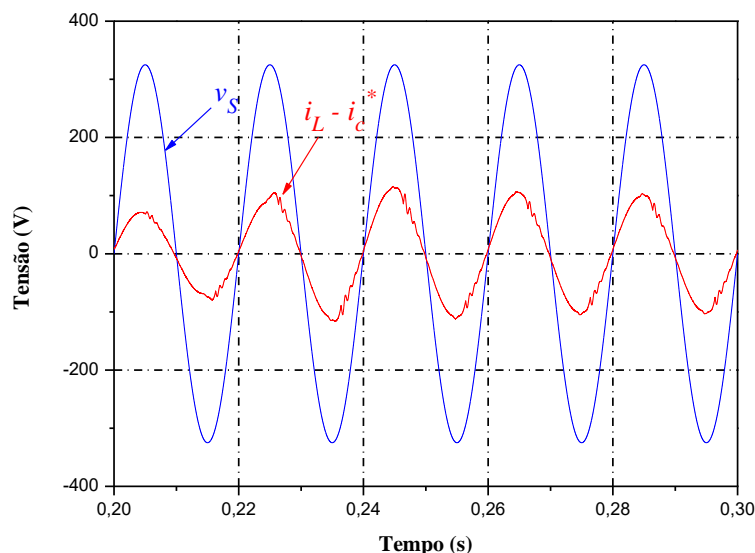


Figura 3.11. Resultados de simulação da tensão da rede elétrica e da corrente teórica na fonte.

3.4.3 Resultados de Simulação do Filtro Ativo Paralelo Convencional

Nesta simulação são analisados os resultados do sistema integral do FAP a compensar uma carga linear e uma carga não-linear. A carga linear é uma carga RL, com $R = 12,5 \Omega$ e $L = 70 \text{ mH}$, enquanto que a carga não-linear é composta por um retificador em ponte completa a díodos com filtro RC e com uma bobina de entrada. A resistência do filtro é de 168Ω e o condensador tem valor de $2,6 \text{ mF}$. A bobina de entrada é de $0,5 \text{ mH}$. A carga é ligada no instante $0,2 \text{ s}$. Na Figura 3.12 está ilustrada a tensão da rede elétrica e a corrente consumida pela carga não-linear. Como podemos verificar, o sistema possui um fator de potência indutivo, visto que a corrente na carga está consideravelmente atrasada em relação à tensão. Por outro lado, a corrente consumida pela carga apresenta um $\text{THD}_{\%f}$ de $36,8\%$. De forma a reduzir a distorção harmónica, é produzida pelo FAP a corrente de compensação que se encontra apresentada na Figura 3.13. Por fim, na Figura 3.14 está apresentada a tensão da rede elétrica e a corrente da rede elétrica após a compensação, na qual a $\text{THD}_{\%f}$ da corrente é reduzida para o valor de $4,25\%$.

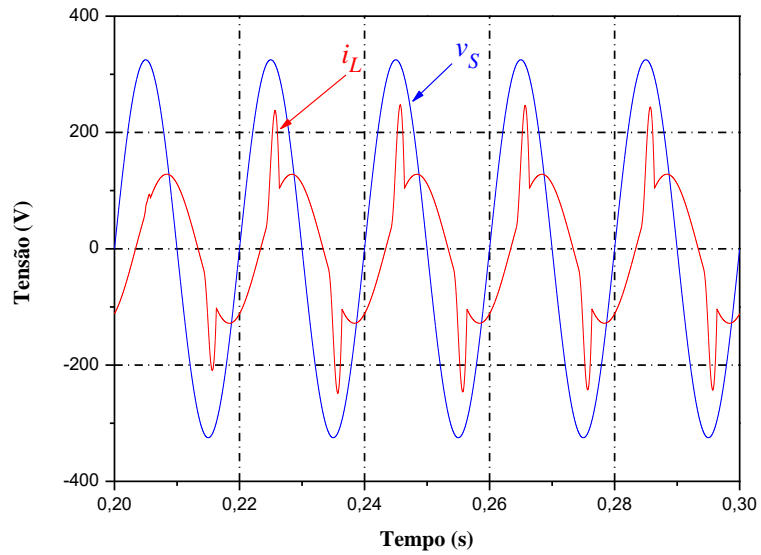


Figura 3.12. Resultados de simulação da tensão da rede elétrica e da corrente nas cargas linear e não-linear.

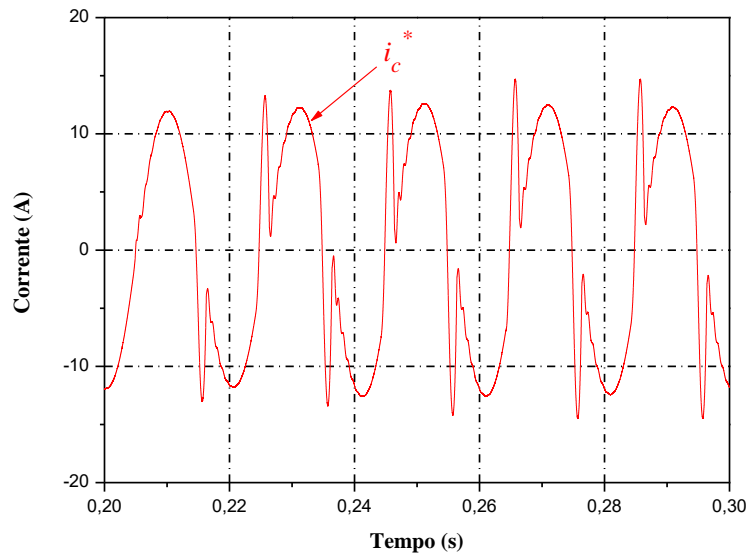


Figura 3.13. Resultados de simulação da corrente de compensação produzida pelo FAP convencional.

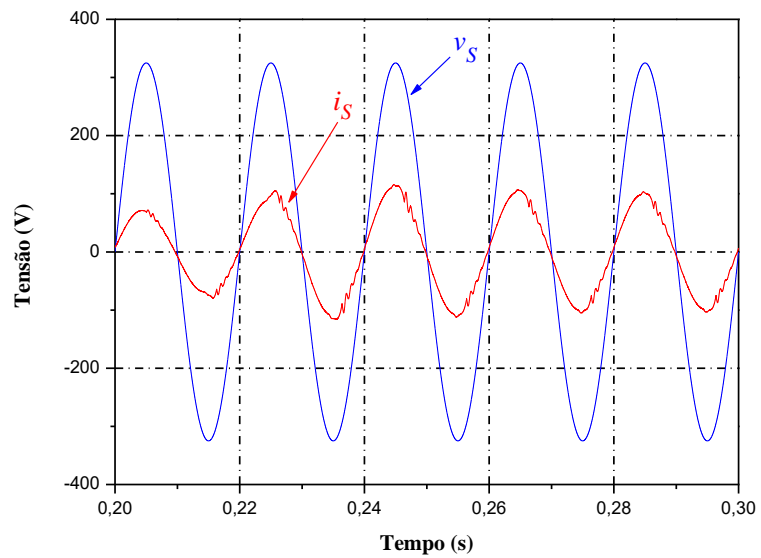


Figura 3.14. Resultados de simulação da tensão e corrente da rede elétrica após a compensação.

3.5 Operação do Filtro Ativo Paralelo do Tipo Fonte de Corrente com Barramento CC Reduzido

Os FAPs do tipo fonte de corrente necessitam de uma bobina no barramento CC com um elevado valor de indutância, de forma a manter o valor do *ripple* da corrente no barramento aceitável. Um dos objetivos desta dissertação é a redução do valor de indutância necessário, com vista a atingir uma diminuição nas perdas de operação e ainda a reduzir as dimensões e custo deste componente. Por outro lado, uma bobina com o valor de indutância reduzido no barramento CC permite um controlo de corrente mais rápido para o valor de corrente pretendido e assim, o valor médio da corrente no barramento CC pode ser minimizado. Para isso, é adotada uma topologia de inversor do tipo fonte de corrente com barramento CC modificado. Esta topologia consiste num armazenamento de energia híbrido proposto em [37], composto por uma bobina, um condensador, dois díodos e dois interruptores controláveis, que neste caso são IGBTs. Na Figura 3.15 está representado o conversor CC-CC em série com o filtro ativo paralelo monofásico do tipo fonte de corrente.

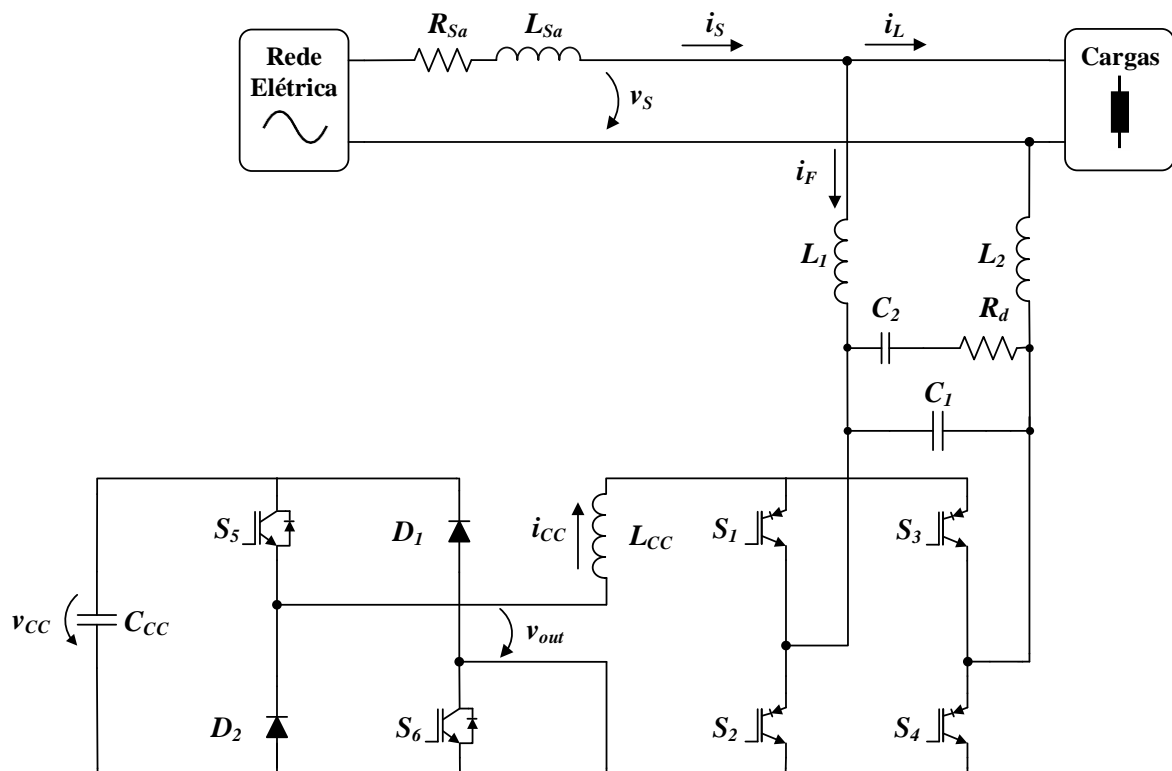


Figura 3.15. Esquema elétrico do FAP monofásico do tipo fonte de corrente com barramento CC reduzido.

Para a simulação do controlo do conversor CC-CC, começa por calcular-se a potência ativa, multiplicando a tensão da E-PLL pela corrente medida na carga, onde posteriormente através da média deslizante, é obtido o valor médio da potência ativa. Posto isto, é realizado o cálculo da potência ativa das componentes harmónicas através da equação (3.4).

$$\tilde{p} = \bar{p} + p \quad (3.4)$$

Depois de calculado o valor da potência alternada, \tilde{p} , é possível obter-se a tensão de referência para o conversor CC-CC, v_{out}^* , dividindo essa mesma potência pelo valor da corrente medida na bobina do barramento CC, i_{cc} , tal como se pode verificar na equação (3.5).

$$v_{out}^* = \frac{\tilde{p}}{i_{cc}} \quad (3.5)$$

A modulação do conversor é realizada com frequência fixa e possui três estados de comutação, $+v_{cc}$, 0 e $-v_{cc}$. Se a tensão de referência, v_{out}^* é positiva, ambos os IGBTs S_5 e S_6 estão ativos e a tensão instantânea v_{out} é igual a $+v_{cc}$, se for negativa os IGBTs S_5 e S_6 estão desativados e a tensão instantânea v_{out} é igual a $-v_{cc}$. O estado de comutação zero é conseguido ativando apenas um dos IGBTs, S_5 ou S_6 , sendo o valor da tensão instantânea v_{out} igual a zero. Na Tabela 3.1 estão ilustrados os estados válidos de operação do conversor CC-CC.

Tabela 3.1. Estados de operação do conversor CC-CC.

Estado	S_5	S_6	v_{out}
1	1	1	$+v_{cc}$
2	0	0	$-v_{cc}$
3	1	0	0
4	0	1	0

Com esta topologia, é possível uma redução do valor da indutância da bobina do barramento CC do inversor, dado que o conversor CC-CC armazena grande parte da energia que era armazenada exclusivamente pela bobina [37]. Posto isto, a bobina do barramento CC utilizada nesta simulação é de 50 mH, em vez de 200 mH tal como foi utilizada no modelo de simulação apresentado anteriormente.

3.5.1 Resultados de Simulação do Filtro Ativo Paralelo com o Barramento CC Reduzido

Como foi referido anteriormente, o sistema de controlo da simulação do FAP com Barramento CC Reduzido é similar à do FAP convencional, diferenciando apenas na adição do controlo do conversor CC-CC ligado ao barramento CC do inversor fonte de corrente.

Os resultados apresentados a seguir são obtidos através das mesmas técnicas de controle utilizadas na simulação anterior.

Posto isto, começa por analisar-se a corrente no barramento CC, na qual a sua regulação é efetuada através de um controlador PI, onde foram efetuados ajustes aos ganhos proporcional e integral com uma corrente de referência de 20 A. A corrente no barramento CC do FAP está ilustrada na Figura 3.16, onde se pode verificar que a partir dos 0,35 s é obtida a corrente desejada na ordem dos 20 A. Os ganhos do controlador PI têm influência no *overshoot* verificado nos primeiros 25 ms.

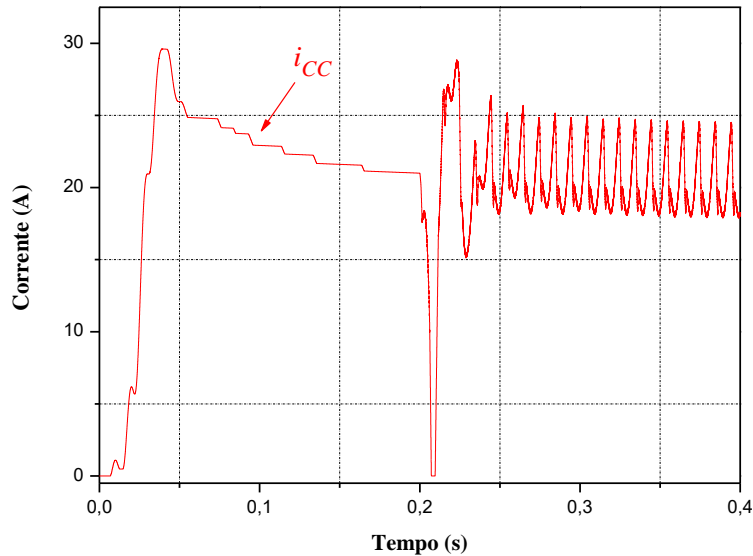


Figura 3.16. Resultados de simulação da regulação da corrente no barramento CC do FAP com barramento CC reduzido.

No instante 0,2 s são ligadas as cargas. Na Figura 3.17 está ilustrada a tensão e a corrente consumidas por essas mesmas cargas, na qual se pode verificar que a corrente está atrasada em relação à tensão e apresenta um $THD_{%f}$ de 36,45%.

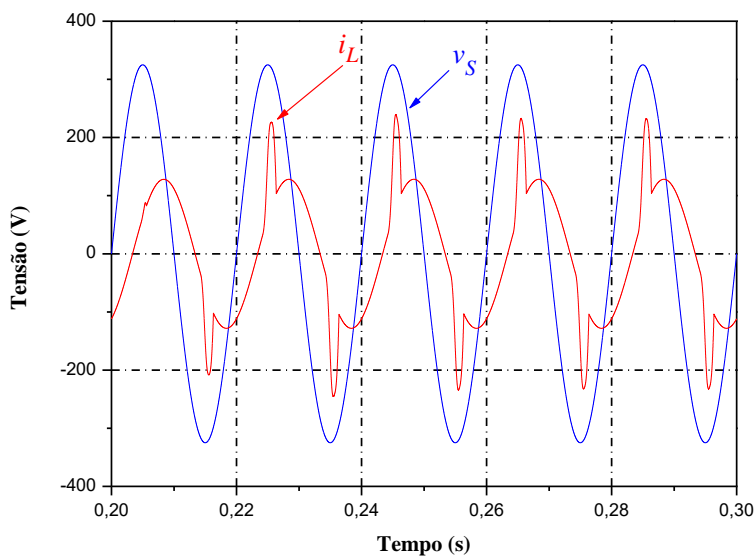


Figura 3.17. Resultados de simulação da tensão da rede elétrica e da corrente consumida pelas cargas.

Como a corrente consumida pelas cargas contamina a rede elétrica com harmónicas de corrente, é necessário a injeção da corrente de compensação produzida pelo FAP, que neste caso é obtida através da teoria de Fryze. Na Figura 3.18 é apresentada a corrente de compensação produzida pelo FAP com Barramento CC Reduzido. Como foi referido anteriormente, a eficácia da teoria de Fryze pode ser comprovada subtraindo a corrente consumida pela carga, i_L , pela corrente de compensação, i_c^* , resultando na corrente teoricamente compensada na fonte, como está ilustrada na Figura 3.19.

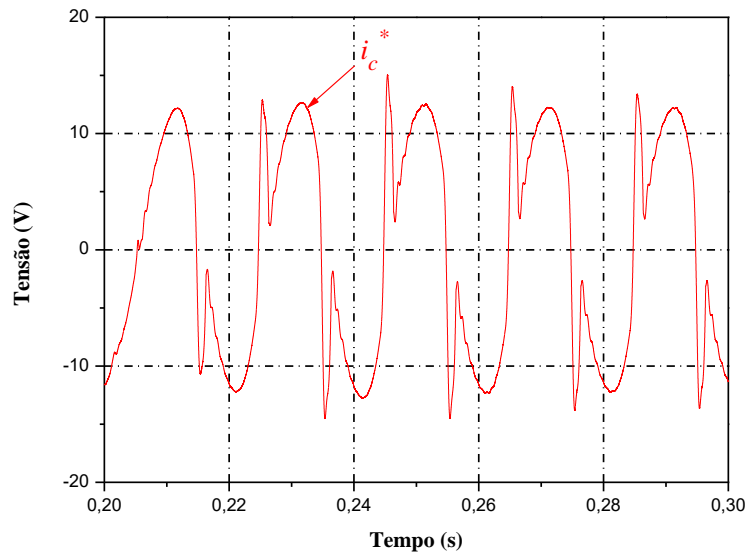


Figura 3.18. Resultados de simulação da corrente de compensação produzida pelo FAP com barramento CC reduzido.

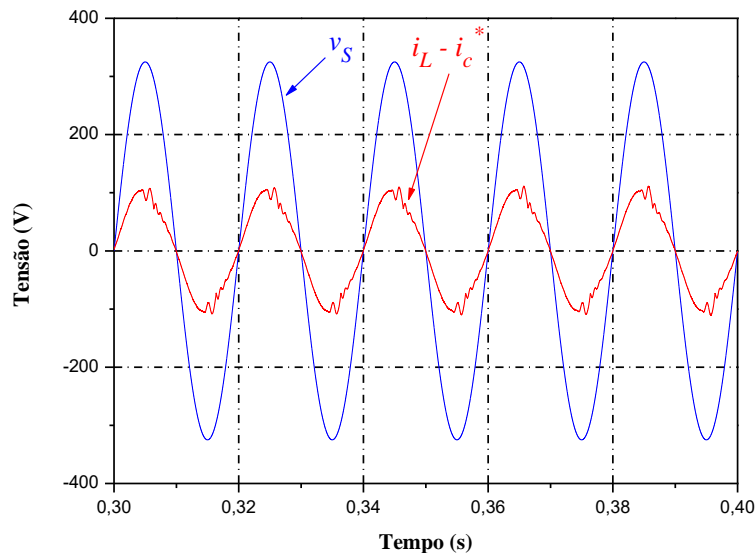


Figura 3.19. Resultados de simulação da tensão da rede elétrica e a corrente teórica na fonte.

Na Figura 3.20 encontra-se apresentada a tensão no condensador do conversor CC-CC, onde podemos verificar que a partir do instante 0,2 s, o conversor CC-CC é ligado e o condensador começa a armazenar energia, possuindo uma tensão máxima de aproximadamente 400 V. Ao ser armazenada energia no condensador, a bobina não

necessita de ter um valor de indutância tão grande, pois grande parte da energia é armazenada pelo condensador do conversor CC-CC.

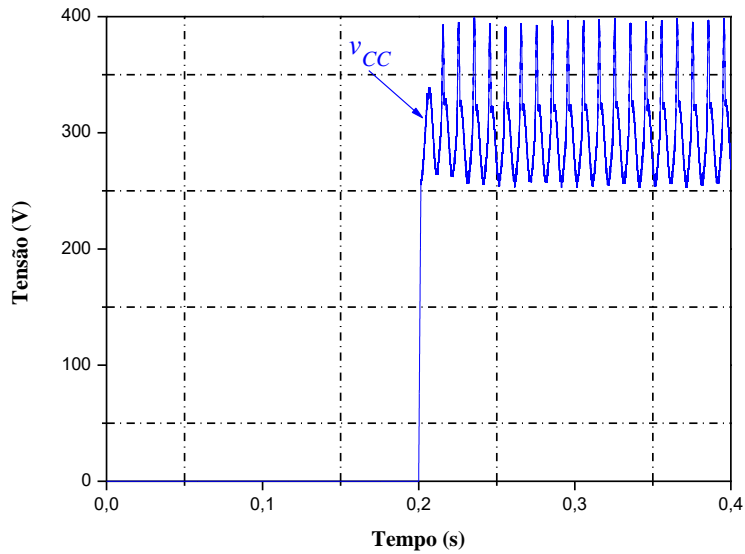


Figura 3.20. Resultados de simulação da tensão no condensador do conversor CC-CC.

Por fim, na Figura 3.21 estão apresentadas a tensão e a corrente da rede elétrica após a compensação, na qual a $THD_{\%f}$ da corrente é reduzida para o valor de 7,78%. Apesar de se verificar uma distorção harmónica superior à obtida na simulação anterior, é compensado pelo facto de se conseguir utilizar um valor da indutância da bobina do barramento CC quatro vezes menor comparativamente à bobina do barramento CC utilizada no FAP convencional.

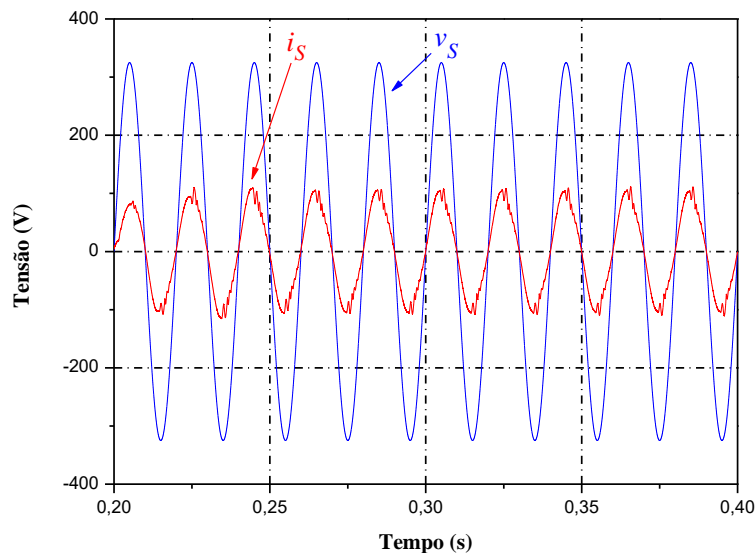


Figura 3.21. Resultados de simulação da tensão e corrente da rede elétrica após a compensação.

3.5.2 Comparação entre as duas topologias

Após terem sido efetuadas todas as simulações computacionais, é possível comparar as duas topologias. Na Tabela 3.2 encontram-se os valores das indutâncias utilizadas nas simulações das duas topologias e ainda a distorção harmónica, $THD_{\%f}$, e o fator de potência, PF, obtidas nas duas simulações. Como podemos verificar a indutância da bobina do barramento CC utilizada no FAP com barramento CC reduzido é quatro vezes menor comparativamente à bobina utilizada no FAP convencional. Por outro lado, em as ambas as simulações foi obtido um fator de potência de aproximadamente 1. Contudo, o $THD_{\%f}$ é um pouco superior ao obtido no FAP convencional.

Desta forma, pode-se concluir que a topologia adotada é bastante vantajosa, dado que foi comprovado que é possível reduzir bastante o valor da indutância da bobina do barramento CC do inversor do tipo fonte de corrente.

Tabela 3.2. Resultados das simulações das duas topologias.

	FAP Convencional	FAP com Barramento CC Reduzido
Indutância (mH)	200	50
$THD_{\%f}$	4,25	7,78
PF	0,99	0,99

3.6 Conclusões

Ao longo deste capítulo foram apresentados os resultados de simulação dos dois modelos realizados ao longo desta dissertação. Inicialmente, foram apresentadas as principais diferenças e semelhanças presentes nos dois modelos de simulação, do FAP convencional e do FAP com Barramento CC Reduzido. Foi também descrito o sistema de sincronização com a rede elétrica, a E-PLL (*Enhanced-Phase Locked Loop*), onde é gerada uma tensão em fase e com a mesma amplitude que a fundamental da rede elétrica.

Foram também apresentados os cálculos para o dimensionamento do filtro de saída presente nas duas topologias. Posteriormente, foram descritos detalhadamente os resultados de simulação de ambas as topologias, onde foram aplicados o controlador PI para a regulação da corrente no barramento CC e da teoria de Fryze para a obtenção da corrente de compensação do FAP.

Apesar da distorção harmónica verificada na corrente da rede elétrica da simulação do FAP com o Barramento CC Reduzido após a compensação ser um pouco superior à obtida com o FAP convencional, o valor da indutância da bobina no barramento CC do inversor é

quatro vezes menor do que o valor utilizado no barramento CC do FAP convencional. Com isto, podemos concluir que a performance do FAP com o barramento CC reduzido cumpre os objetivos estipulados para esta dissertação.

Capítulo 4

Desenvolvimento do Sistema de Controlo e do Hardware de Potência

4.1 Introdução

Neste capítulo é feita uma breve descrição de todo o sistema de controlo e hardware de potência utilizado nesta dissertação. Para o sistema de controlo do FAP são apresentadas a placa de condicionamento de sinal, placas de comando e das placas de *driver*. Relativamente ao hardware do circuito de potência são descritas a placa do inversor do tipo fonte de corrente e do conversor CC-CC, bem como a placa do filtro passivo de saída.

4.2 Desenvolvimento do Sistema de Controlo

O sistema de controlo é necessário para a implementação dos algoritmos de controlo desenvolvidos e validados previamente através de simulações no software PSIM. De seguida, são apresentadas todas as placas desenvolvidas e utilizadas para a implementação do sistema de controlo do FAP, desde a placa do DSP, as placas dos sensores de tensão e de corrente e a placa de condicionamento de sinal, sendo descritas as suas principais características e funcionalidades neste projeto.

4.2.1 Placa de Suporte do DSP

A placa de DSP utilizada neste projeto é a *TMS320F28335* do fabricante *Texas Instruments* que está apresentada na Figura 4.1.



Figura 4.1. Placa do DSP *TMS320F28335* da *Texas Instruments*.

Este DSP possui 18 canais de PWM (*Pulse-Width Modulation*), 16 canais de ADC de 12 bits e 88 pinos de uso geral (*General Purpose Input/Output – GPIO*). Por outro lado, o DSP disponibiliza um módulo de comunicação SPI (*Serial Peripheral Interface*) que permite a comunicação com a placa de DAC descrita na secção 4.2.6 e ainda uma unidade de vírgula flutuante (*Floating-Point Unit-FPU*) que reduz o tempo de processamento de instruções com números decimais [38].

O DSP necessita de uma placa de suporte para facilitar o acesso aos pinos utilizados. A placa está apresentada na Figura 4.2 e foi desenvolvida pelos investigadores do GEPE. Esta placa é alimentada com +5 V e GND. As saídas de PWM estão distribuídas por 2 fichas *header*. Como os canais de ADC internos da DSP não admitem tensões negativas, é necessária a utilização de uma placa para condicionar os sinais aos níveis permitidos. A placa de suporte também permite a interface da placa de DAC (*Digital-to-Analog Converter*) e da placa de I/O (Input/Output) com a DSP através de uma ficha DB9 e de uma ficha *header*, respetivamente.



Figura 4.2. Placa de suporte do DSP.

4.2.2 Sensores de Tensão

As medições das tensões do sistema são efetuadas através dos sensores de efeito de Hall do fabricante *Chen Yang Sensors*, com a referência *CYHVS5-25A* [39]. Estes sensores de tensão foram utilizados para a medição da tensão da rede, da tensão à saída do inversor e da tensão do condensador do conversor CC-CC. Os dois primeiros sensores estão integrados na placa do filtro passivo de saída descrita na secção 4.3.3, enquanto que a medição da tensão no condensador do conversor CC-CC é efetuada através do sensor de tensão representado na Figura 4.3. A PCB foi desenvolvida pelos investigadores do laboratório do GEPE.



Figura 4.3. Placa do sensor de tensão.

Este sensor de efeito de Hall apresenta uma corrente nominal no primário de ± 5 mA e uma relação entre o primário e o secundário de 5000:1000, permitindo medir uma tensão até 1500 V. A corrente nominal no lado do secundário é de ± 25 mA.

Para o cálculo da resistência de entrada dos sensores, R_i , usa-se o valor máximo da tensão a medir e a corrente nominal de 5 mA, como se pode verificar na equação (4.1).

$$V = R_i I_N \quad (4.1)$$

No caso dos sensores que medem a tensão da rede elétrica e a tensão de saída do inversor, foi considerado um valor máximo de $325 \text{ V} + 10\%$ resultando numa resistência de $71,5 \text{ k}\Omega$. Posto isto, são utilizadas duas resistências em série de $47 \text{ k}\Omega$ e de $27 \text{ k}\Omega$. Para a medição da tensão do condensador do conversor CC-CC foi considerado um valor máximo de $440 \text{ V} + 10\%$, o que equivale a uma resistência de $97 \text{ k}\Omega$. Neste caso, R_i foi substituída por duas resistências em série de $50 \text{ k}\Omega$. É de salientar que esta substituição tem como objetivo distribuir a potência dissipada pelas duas resistências.

Como a saída do sensor é em corrente, é também necessária uma resistência no lado secundário do sensor de forma a essa corrente ser convertida e então poder ser adquirida pelo ADC. A resistência do lado secundário está colocada na placa de condicionamento de sinal.

4.2.3 Sensores de Corrente

O sensor de corrente utilizado foi o sensor de efeito de Hall do fabricante LEM, cuja referência é *LA 100-P* [40]. Neste projeto foram necessárias três placas de sensor de corrente, a primeira para a medição da corrente à saída do inversor, a segunda para a medição da corrente no barramento CC e a terceira para a medição da corrente na carga. Na Figura 4.4 está apresentada uma das placas do sensor de corrente desenvolvida pelos investigadores do GEPE.

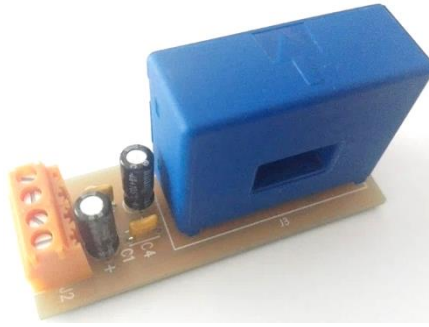


Figura 4.4. Placa do sensor de corrente desenvolvida.

Este sensor de corrente permite fazer a medição da corrente através do lado primário, onde é colocado um fio condutor no orifício do sensor. O sensor possui uma corrente nominal até 100 A. O sensor de corrente é alimentado com ± 15 V através da placa de condicionamento de sinal e possui uma saída em corrente com um valor nominal de 50 mA.

Como as correntes a medir são muito inferiores à corrente nominal do sensor, foram utilizadas cinco espiras do fio condutor, reduzindo a corrente nominal para 20 A. Deste modo, é melhorada a sensibilidade do sensor.

Tal como foi referido anteriormente para o sensor de tensão, a resistência do lado secundário do sensor de corrente encontra-se colocada na placa de condicionamento de sinal.

4.2.4 Placa de Condicionamento de Sinal e Detecção de Erros

A placa de condicionamento de sinal tem como função adequar os sinais de saída dos sensores de tensão e de corrente à gama de valores, permitidos pelo ADC interno do DSP. Esta placa foi desenvolvida pelos investigadores do GEPE e encontra-se apresentada na Figura 4.5. Placa de condicionamento de sinal e deteção de erros utilizada.



Figura 4.5. Placa de condicionamento de sinal e deteção de erros utilizada.

A alimentação da placa é efetuada com +15 V e -15 V através de uma fonte externa. O condicionamento de sinal é efetuado para 16 canais de ADC, possuindo também um

circuito para realizar a detecção de erros. Cada canal de ADC está ligado a um conjunto de 4 pinos (conectores laranjas) com 3 sinais de potência (+ 15 V, - 15 V e GND) necessários para a alimentação dos sensores de corrente e de tensão e o sinal de leitura. Neste projeto, foram utilizados apenas 6 canais de ADC, pois foram necessários apenas 6 sensores de efeito de Hall.

Esta placa possui um circuito de detecção de erros que tem como finalidade garantir que o sistema opere dentro dos valores nominais desejados. Se eventualmente o sinal do sensor ultrapassar os limites predefinidos, será gerado um sinal de erro que desabilita as comutações dos semicondutores de potência para evitar que os conversores de potência se danifiquem. O circuito de detecção de erros está apresentado na Figura 4.6, onde se pode visualizar os dois comparadores necessários para cada canal de ADC. As resistências R_{N1} e R_{N2} permitem configurar o valor mínimo, enquanto que R_{P1} e R_{P2} permitem configurar o valor máximo de cada sinal.

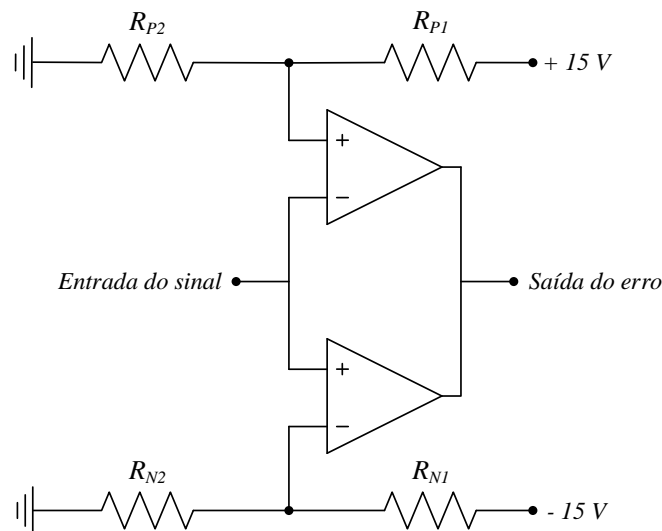


Figura 4.6. Circuito de detecção de erros.

Como a saída dos sensores é em corrente torna-se necessário a resistência de medida, R_m , para a conversão em tensão, de forma a poder ser lida pelo ADC interno da DSP. Na Figura 4.7. encontra-se representado o circuito somador não-inversor para o condicionamento de sinal proveniente de um dos sensores de tensão, onde se pode visualizar a resistência de medida R_m que foi dimensionada para obter uma queda de tensão nessa mesma resistência (2,5 V) com a corrente nominal estipulada pelo fabricante do sensor (25 mA).

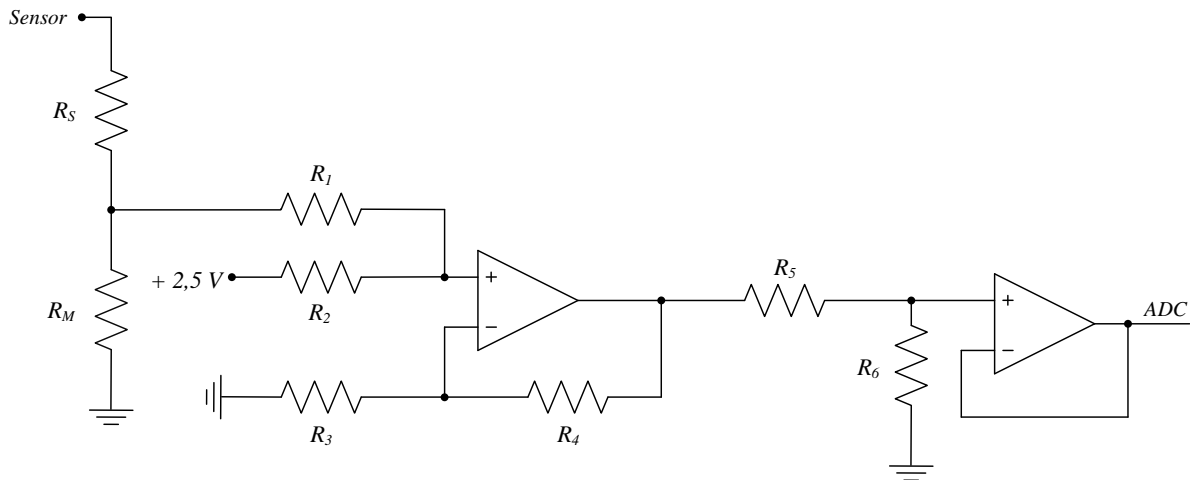


Figura 4.7. Circuito somador não inversor para o condicionamento de sinal dos sensores de corrente e tensão.

4.2.5 Placa de Comando

A placa de comando permite ativar ou desativar as comutações dos RB-IGBTs e dos IGBTs do inversor do tipo fonte de corrente e do conversor CC-CC, respetivamente. A Figura 4.8 ilustra uma das placas utilizadas, tendo sido desenvolvida pelos investigadores do GEPE. Como esta placa permite atuar simultaneamente 4 semicondutores de potência, para este projeto foram necessárias duas placas, visto que o inversor é constituído por 4 RB-IGBTs e o conversor CC-CC por 2 IGBTs.

Os sinais de PWM gerados pelo DSP e recebidos pela ficha *header* com uma amplitude de 3,3 V, são convertidos para lógica de 15 V.

Esta placa é alimentada com +15 V e GND e possui um LED verde que indica quando os sinais de PWM estão a ser enviados para as placas de *driver*. Por outro lado, os LEDs vermelhos sinalizam a deteção de erros, como por exemplo uma tensão e/ou uma corrente excessiva, que impedem o envio dos sinais de PWM para as placas de *driver*, fazendo com que os semicondutores de potência permaneçam em aberto.



Figura 4.8. Placa de comando monofásica utilizada.

4.2.6 Placa de DAC

A placa de DAC (*Digital-to-Analog Converter*) permite visualizar em tempo real algumas variáveis calculadas pelo DSP, de forma a analisar o seu comportamento. Esta placa foi desenvolvida pelos investigadores do GEPE e encontra-se ilustrada na Figura 4.9.

Esta placa é conectada à placa de suporte do DSP através da ficha DB9, convertendo os sinais digitais recebidos para sinais analógicos. Com esta placa é possível a visualização de 8 canais analógicos que são disponibilizados nas fichas BNC fêmeas, possibilitando a visualização das variáveis convertidas com recurso a um osciloscópio.



Figura 4.9. Placa de DAC utilizada.

4.2.7 Placa de Atuação do Braço do Inversor

A placa de atuação é vital para a preservação de todo o hardware do circuito de potência, visto que uma das regras para o bom funcionamento do CSI é garantir um caminho para a corrente até que a energia da bobina esteja totalmente descarregada. Por isso, uma das soluções é garantir que um dos braços do inversor do tipo fonte de corrente esteja ligado para que a corrente possa fluir. A placa de atuação do braço do inversor está apresentada na Figura 4.10 e foi desenvolvida pelo aluno de mestrado João Manso. Esta placa é constituída por 4 fichas DB9 que recebem a alimentação + 15 V e GND. Duas fichas DB9 recebem os quatro sinais de PWM provenientes das placas de comando, enquanto que as outras duas são ligadas às placas de *driver*.

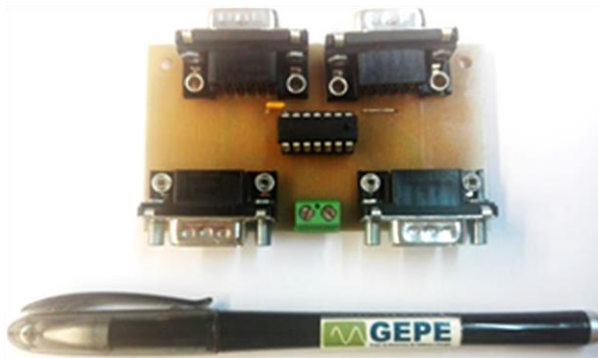


Figura 4.10. Placa de atuação do braço do inversor do tipo fonte de corrente.

O circuito lógico da placa de atuação está representado na Figura 4.11. Esta placa possibilita uma sobreposição dos sinais de PWM gerados pelo DSP, garantindo que RB-IGBTs do mesmo braço do inversor continuam em condução quando as comutações são desabilitadas.

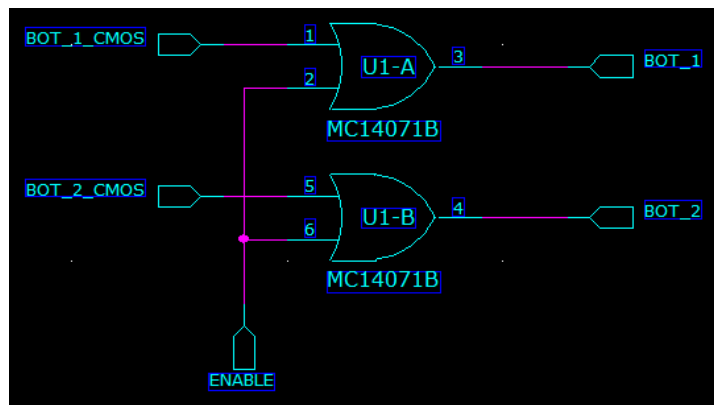


Figura 4.11. Circuito lógico da placa de atuação.

4.2.8 Caixa de Comando

A caixa de comando pode ser utilizada para diferentes funcionalidades, permitindo ao utilizador operar manualmente o sistema desenvolvido. Na Figura 4.12 está ilustrada a caixa de comando, onde se pode visualizar a função de cada botão.



Figura 4.12. Caixa de comando.

O *enable/disable* das comutações é efetuado através do interruptor do lado esquerdo, enquanto que o relé é aberto ou fechado manuseando o interruptor do lado direito. O botão inferior do lado esquerdo permite fazer o *reset* dos erros da placa de comando.

A caixa de comando é ligada às placas de comando, de forma a possibilitar fazer o *reset* aos erros, que por questões de segurança, são memorizados após a ligação de todo o sistema de controlo e ainda habilitar ou desabilitar as comutações do inversor.

4.3 Desenvolvimento do Hardware do Circuito de Potência

O hardware do circuito de potência é constituído pelo inversor do tipo fonte de corrente, pelo conversor CC-CC, pelo filtro passivo de saída e pelas placas de *driver*. De seguida é feita uma breve descrição de todas as placas de potência utilizadas nesta dissertação, bem como os componentes utilizados.

4.3.1 Placas de *Driver*

Neste projeto são utilizadas 3 placas de *driver*, duas para atuar os semicondutores de potência do inversor do tipo fonte de corrente e uma para atuar os semicondutores de potência do conversor CC-CC.

Na Figura 4.13 estão apresentadas as placas de *driver* utilizadas neste projeto. A principal diferença destas placas de *driver* é o circuito que permite obter o tempo de sobreposição necessário para o correto funcionamento do inversor do tipo fonte de corrente.

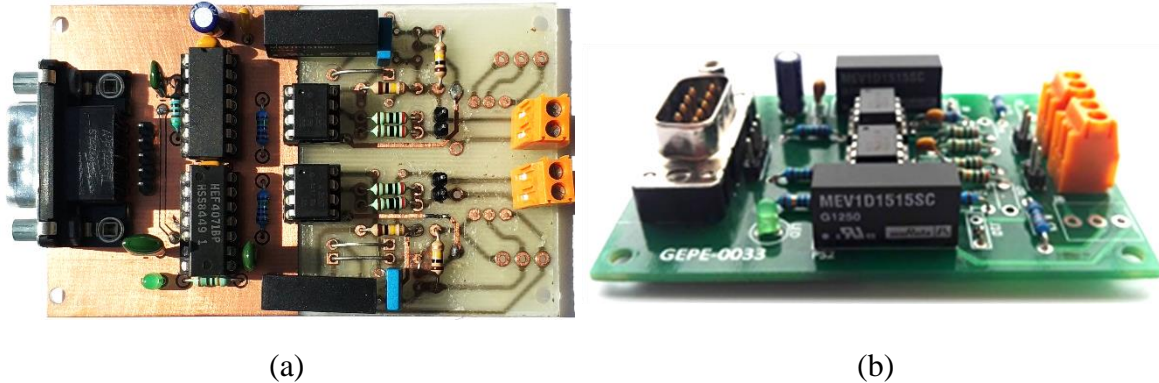


Figura 4.13. Placas de *driver* utilizadas: (a) Placa de *driver* para o inversor do tipo fonte de corrente. (b) Placa de *driver* do conversor CC-CC.

Na Figura 4.14 está ilustrado o circuito de controlo que permite obter o tempo de sobreposição aplicado nas placas de *driver* utilizadas no inversor do tipo de fonte de corrente. Através da malha RC é definido um atraso de $1\ \mu\text{s}$ que resulta no tempo de sobreposição dos sinais de *gate* de um dos pares complementares de RB-IGBTs. Deste modo, as entradas TOP_IN e BOT_IN serão transformadas nos sinais *top* e *bottom* a aplicar às *gates* dos RB-IGBTs.

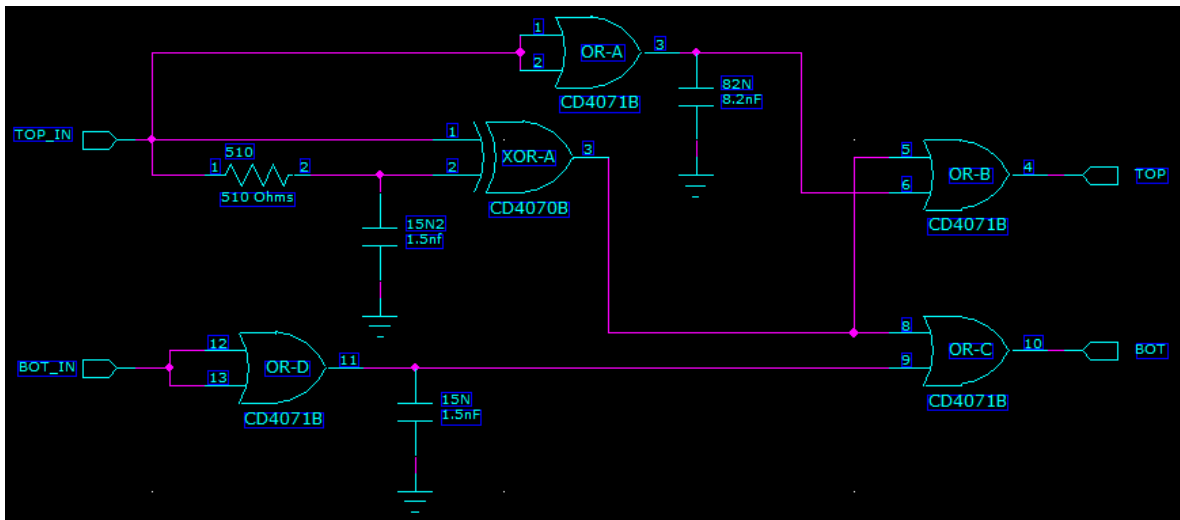


Figura 4.14. Circuito lógico referente ao circuito de controlo da placa de *driver* desenhado no software *PADS Logic*.

O *layout* da placa de *driver* utilizada para atuar os RB-IGBTs do inversor do tipo fonte de corrente encontra-se representado na Figura 4.15. O lado esquerdo da placa corresponde ao circuito de controlo desenvolvido, de forma a obter o tempo de sobreposição desejado.

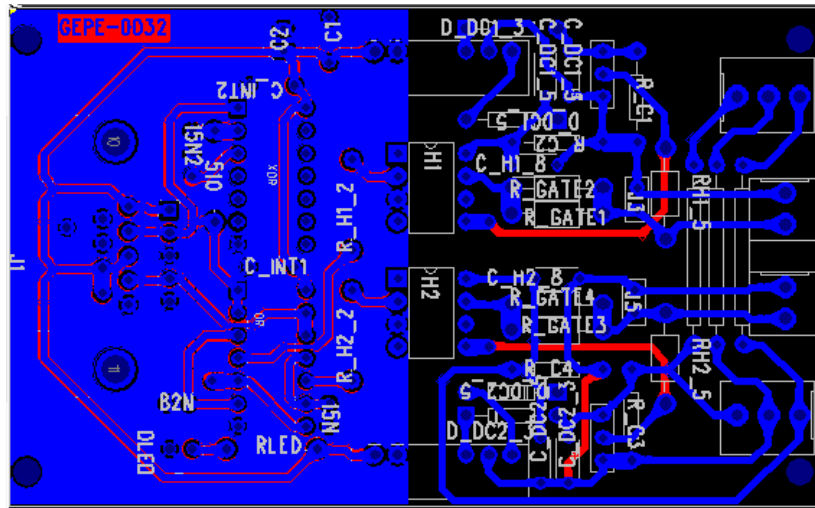


Figura 4.15. *Layout* da placa de *driver* desenvolvido no software *PADS Layout*.

As placas de *driver* desenvolvidas para o inversor do tipo fonte de corrente foram projetadas para atuar os dois RB-IGBTs superiores e inferiores. A ficha DB9 recebe a alimentação, +15 V e o GND, e dois sinais de PWM por parte da placa de comando. O LED verde tem o propósito de sinalizar a correta alimentação da placa. Esta placa de *driver* contém um circuito que permite definir um tempo de sobreposição (*overlap time*) de 1 μ s. Este tempo foi introduzido de forma a respeitar as regras dos inversores do tipo fonte de corrente. Adicionalmente, a placa contém fontes isoladas de forma a alimentar o secundário dos circuitos de *driver*. Estas fontes fornecem um isolamento de 3 kV e possuem 3 saídas +15 V, GND e -15 V. As fontes isoladas utilizadas são as MEV1D1515SC do fabricante *Murata Power* [41]. O circuito de *drive* utilizado foi o ACNW3430 da Avago [42]. Este circuito permite uma corrente de pico até 5 A e uma tensão de alimentação entre 15 V e 30 V. A corrente do fotodíodo pode ser dimensionada entre 8 mA e 12 mA. Para obter uma corrente de 10 mA, com sinais de PWM de 15 V de amplitude e uma queda de tensão no fotodíodo de 1,45 V, a resistência escolhida para ligar em série com o fotodíodo é de 1,5 k Ω , valor *standard*, de acordo com a equação (4.2).

$$R_{Top} = \frac{V_{PWM} - V_{fotodiodo}}{I_F} = 1,36 \text{ k}\Omega \quad (4.2)$$

4.3.2 Placa do Inversor do tipo Fonte de Corrente e do Conversor CC-CC

A placa desenvolvida é constituída pelo inversor do tipo fonte de corrente e pelo conversor CC-CC, abordados em capítulos anteriores. O inversor do tipo fonte de corrente é composto por dois braços com dois RB-IGBTs cada um. Os RB-IGBTs utilizados são os FGW85N60RB do fabricante *Fuji Electric* [43]. Para cada um dos RB-IGBTs está ligado

um circuito de proteção constituído por uma resistência de 10 k Ω em paralelo com dois díodos de *zener* de 16 V ligados em série. Este circuito tem como função proteger as *gates* dos RB-IGBTs contra possíveis picos de tensões superiores a +16 V ou inferiores a -16 V. Por outro lado, de forma a garantir a proteção do inversor são ligados varístores em paralelo com cada um dos RB-IGBTs e em paralelo com o barramento CC. Os varístores utilizados são os S14K510E2K1 do fabricante TDK [44] e têm uma tensão de atuação de 510 V. O conversor CC-CC é constituído por dois IGBTs da *Fairchild Semiconductor* [45], cuja referência é FGA25N120ANTD. Estes IGBTs suportam uma tensão de 1200 V e uma corrente de 25 A. O circuito de proteção para os IGBTs é idêntico ao circuito de proteção ligado a cada RB-IGBT do inversor, descrito anteriormente. Em cada braço do conversor, existe ligado em série um diodo, de forma a garantir a condução num só sentido. Os díodos utilizados são os DSEP 29-12 do fabricante *Ixys* [46], os quais suportam uma tensão de 1200 V e uma corrente de 30 A. O barramento CC do conversor CC-CC está definido para uma tensão nominal de 400 V. Posto isto, o barramento é formado por cinco condensadores de 20 μ Fs em paralelo, o que resulta numa capacitância de 100 μ Fs. Os condensadores utilizados são o MKP1848C do fabricante *Vishay* e possuem uma tensão de 600 V [47]. Na Figura 4.16 encontra-se apresentado o *layout* da placa do inversor do tipo fonte de corrente e do conversor CC-CC desenhado no software PADS *Layout*.

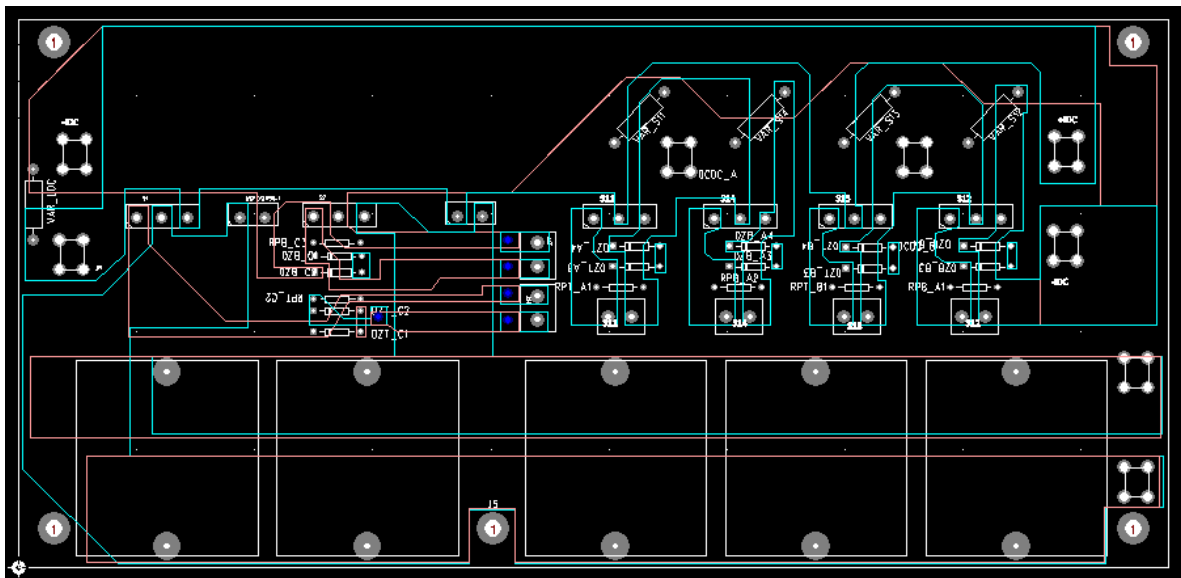


Figura 4.16. *Layout* da placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico desenhada no software PADS *Layout*.

Como podemos verificar, esta placa possui duas camadas, uma na parte superior da placa e a outra na parte inferior da placa. A maior parte dos componentes estão soldados na parte superior da placa, sendo apenas soldados os semicondutores de potência na parte inferior, como podemos ver a seguir.

A Figura 4.17 ilustra a placa desenvolvida para o conversor CC-CC e inversor monofásico, onde se pode ver todos os componentes utilizados.



Figura 4.17. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico.

Na Figura 4.18 está apresentada a placa de potência vista da parte de baixo, onde se pode visualizar os semicondutores de potência soldados na parte inferior da placa, de forma a serem fixados no dissipador através de clips e parafusos, tal como se pode verificar na Figura 4.19.



Figura 4.18. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico vista da parte inferior.



Figura 4.19. Placa do conversor CC-CC e do inversor do tipo fonte de corrente monofásico fixada no dissipador.

4.3.3 Filtro de Saída

As bobinas presentes no filtro de saída foram desenvolvidas com base nos parâmetros e cálculos efetuados no software da EPCOS, o *Epcos Magnetic Design Tool*. Na Figura 4.20 está representada a interface gráfica do software EPCOS, onde é possível visualizar os parâmetros utilizados para a construção das bobinas.

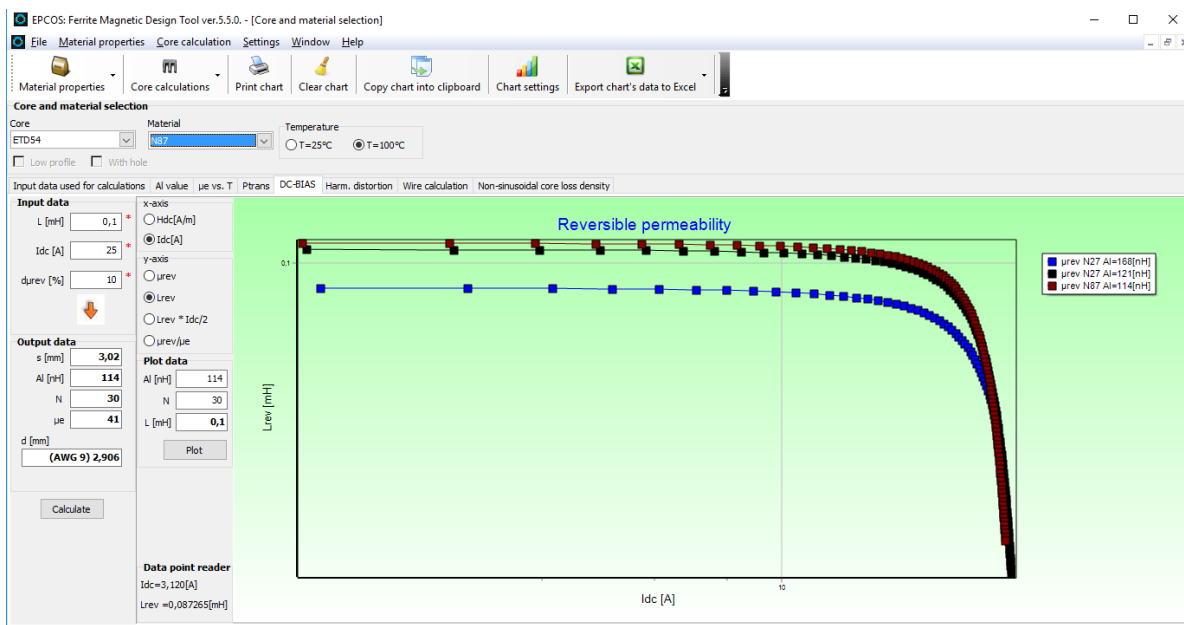


Figura 4.20. Parâmetros obtidos no software EPCOS para a construção das bobinas de 100 μ s.

Com base nos valores de corrente obtidos nas simulações, foram projetadas duas bobinas com uma indutância de 100 μ H com corrente nominal de 25 A. O núcleo de ferrite utilizado foi o ETD54 do fabricante EPCOS com 25 espiras, um entreferro de 2,09 mm e dois fios em paralelo AWG9. A temperatura selecionada foi de 25 °C. Como no laboratório GEPE só

existe fios AWG25, foi novamente calculado o número de fios em paralelo para a construção da bobina. Posto isto, o enrolamento da bobina foi construído com 25 fios AWG25 em paralelo. Na Figura 4.21 está representado o resultado do ensaio de uma das bobinas desenvolvidas para o filtro de saída do inversor do tipo fonte de corrente. Durante este ensaio foi aplicado um degrau de tensão na bobina e foi monitorizada a evolução da corrente.

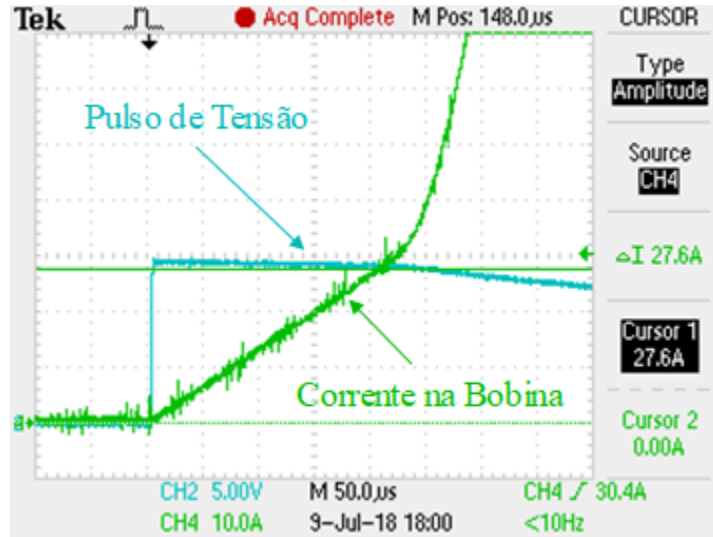


Figura 4.21. Gráfico do ensaio da corrente de saturação de uma das bobinas do filtro de saída.

Como se pode verificar, a corrente na bobina sobe de forma linear até aos 27,6 A, e logo depois ocorre a saturação. O valor da corrente de saturação obtido está de acordo como pretendido e podemos concluir que o projeto foi bem conseguido e a bobina se adequa para a funcionalidade para a qual foi desenvolvida.

As bobinas desenvolvidas para o filtro passivo de saída estão apresentadas na Figura 4.22.



Figura 4.22. Bobinas do filtro passivo de saída.

Na Figura 4.23 encontra-se apresentado o *layout* da placa do filtro passivo de saída desenhado no software PADS *Layout*. Esta placa apenas possui uma camada, estando todos os componentes soldados na parte superior da placa.

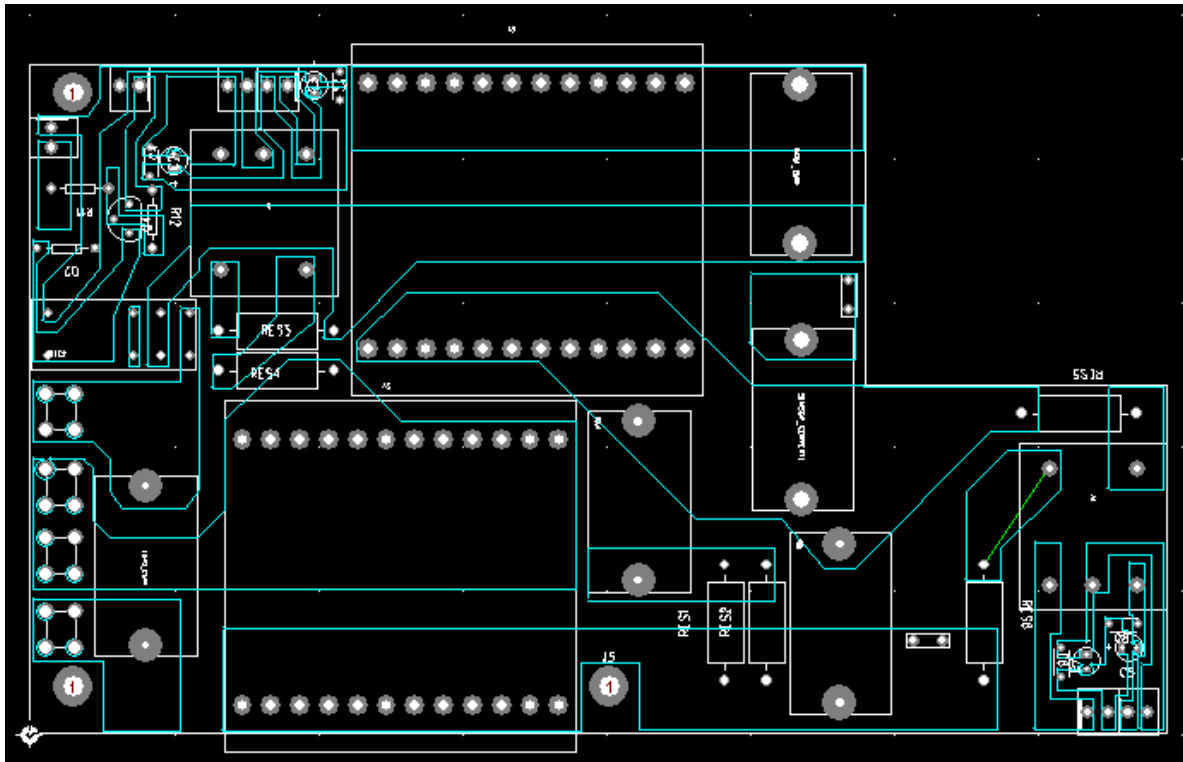


Figura 4.23. *Layout* da placa do filtro passivo de saída desenhada no software *PADS Layout*.

A placa desenvolvida para o filtro passivo de saída está ilustrada na Figura 4.24, onde se pode visualizar o circuito de relé, os 2 sensores de tensão para a medição da tensão da rede elétrica e da tensão à saída do inversor e ainda o circuito referente ao filtro passivo amortecido descrito na secção 3.4. O circuito de relé é necessário para ligar ou desligar o FAP à rede elétrica. Os conectores de parafuso presentes no lado direito da placa permitem a ligação de uma fonte e de cargas ao sistema. Os sensores de corrente são conectados a esta placa através do fio colocado no orifício do sensor e posteriormente ligado à parte inferior da placa do filtro de saída.

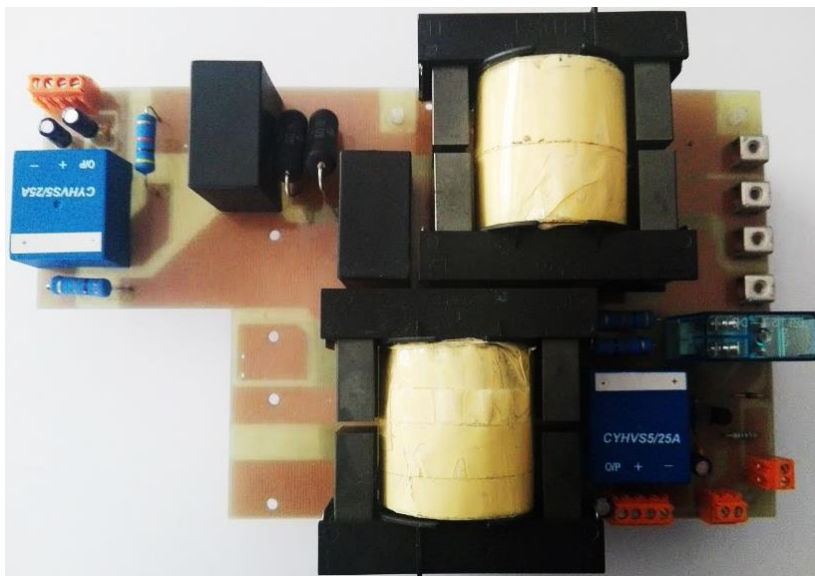


Figura 4.24. Placa do filtro passivo de saída.

4.4 Conclusões

Ao longo deste capítulo foi feita uma breve descrição de todo o hardware que constitui o FAP do tipo fonte de corrente com barramento CC reduzido. Numa primeira fase, foi descrito o hardware que constitui o sistema de controlo, sendo apresentados a placa do DSP utilizada, os sensores de tensão e de corrente, a placa de condicionamento de sinal e ainda a placa de atuação do braço do inversor.

Numa segunda fase, foram descritos todos os componentes utilizados nas placas de *driver*, nos conversores de potência e do filtro passivo de saída. Estas placas de circuito impresso foram desenhadas no software PADS *Logic* e as pistas no PADS *Layout*, na qual a placa dos conversores de potência e das placas de *driver* possuem duas camadas, enquanto que a placa do filtro de saída possui apenas uma camada. As bobinas utilizadas no filtro passivo de saída foram dimensionadas recorrendo ao software da EPCOS, cujos parâmetros foram ajustados de acordo com o material existente no GEPE. Após a construção das bobinas foi realizado o ensaio de saturação das bobinas, onde se pode verificar que as bobinas apresentam uma resposta linear até aos 27,6 A, adequando-se para a funcionalidade para a qual foram desenvolvidas. É de salientar que todo o hardware desenvolvido foi testado individualmente, de forma a conseguir-se validar experimentalmente a topologia proposta.

Capítulo 5

Resultados Experimentais

5.1 Introdução

Neste capítulo são apresentados e analisados os resultados experimentais do sistema constituído pelo FAP do tipo fonte de corrente. Deste modo, são analisados os resultados experimentais do sistema de sincronização com a rede elétrica, do tempo de sobreposição e da técnica de modulação SPWM unipolar necessários para garantir o correto funcionamento do inverso. Por outro lado, são descritos os ensaios experimentais referentes à teoria de Fryze necessária para o cálculo da corrente de compensação a ser injetada pelo FAP. Adicionalmente, são apresentados os resultados experimentais da técnica de controlo de corrente PI para a regulação da corrente no barramento CC. De referir que alguns dos resultados experimentais foram visualizados no osciloscópio através da placa de DAC (*Digital-to-Analog Converter*), sendo a amplitude máxima dos sinais de ± 5 V.

5.2 Resultados Experimentais da E-PLL

Como foi referido anteriormente, a E-PLL deve ser capaz de gerar à saída um sinal cujas fase e amplitude estejam sincronizadas com a componente fundamental do sinal de entrada, mesmo que o sinal de entrada da E-PLL seja um sinal distorcido.

Na Figura 5.1 encontra-se ilustrada a tensão da rede elétrica v_S e o sinal gerado pela E-PLL, v_{PLL} . A tensão da rede elétrica foi medida através de um sensor de tensão, sem que fosse envolvido o hardware do conversor de potência desenvolvido, enquanto que, o sinal de saída da E-PLL foi visualizado através da placa de DAC. É de referir que o resultado transitório apresentado na figura, mostra que o sinal de saída da E-PLL, v_{PLL} , rapidamente atinge o sincronismo com a tensão da rede elétrica. Apesar da tensão da rede elétrica estar um pouco distorcida, o sinal de saída da E-PLL, v_{PLL} , apresenta uma forma sinusoidal e em fase com a tensão da rede elétrica, tal como pretendido.

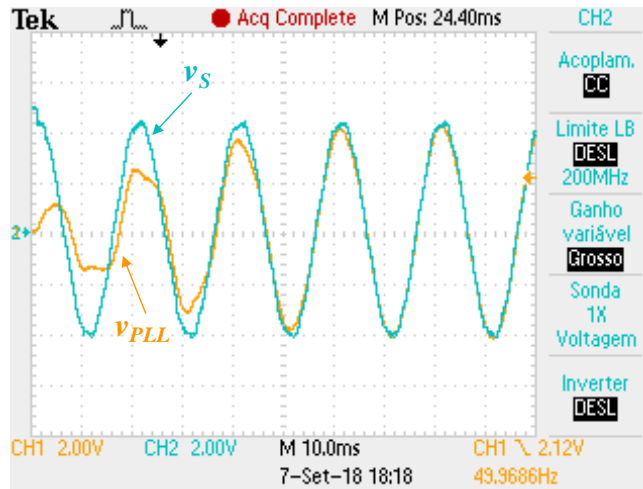


Figura 5.1. Regime transitório de sincronização da E-PLL.

Na Figura 5.2 encontra-se representada a saída da E-PLL já sincronizada com a tensão da rede elétrica. Como se pode verificar, o sinal gerado pela E-PLL é sinusoidal e em fase com a tensão da rede elétrica, apesar desta última ser distorcida.

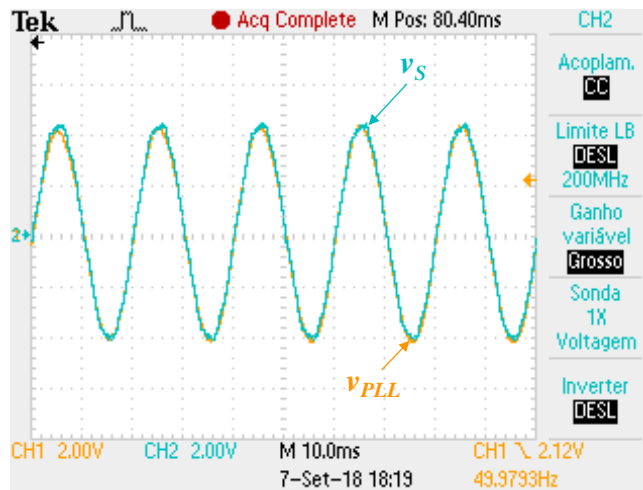


Figura 5.2. Regime permanente da sincronização da E-PLL com a tensão da rede elétrica.

5.3 Resultados Experimentais do Tempo de Sobreposição

De forma a respeitar as regras para o bom funcionamento do inversor monofásico do tipo fonte de corrente, foi necessário estabelecer um tempo de sobreposição entre os dois sinais de comando. É de relembrar que para este tipo de inversor deve garantir-se que apenas um interruptor superior (S_1 ou S_3) e um interruptor inferior (S_2 ou S_4) estejam fechados simultaneamente, exceto durante o tempo de sobreposição. Logo quando um dos semicondutores superiores deixarem de conduzir, o outro semicondutor superior entrará em condução, o mesmo se verifica para os semicondutores inferiores. Na Figura 5.3 pode verificar-se o tempo de sobreposição (*overlap-time*) entre os dois sinais de comando com uma duração de aproximadamente $1 \mu\text{s}$. É de salientar que o *overlap-time* apenas se aplica

ao inversor do tipo fonte de corrente, não sendo necessário a sua aplicação no conversor CC-CC monofásico.

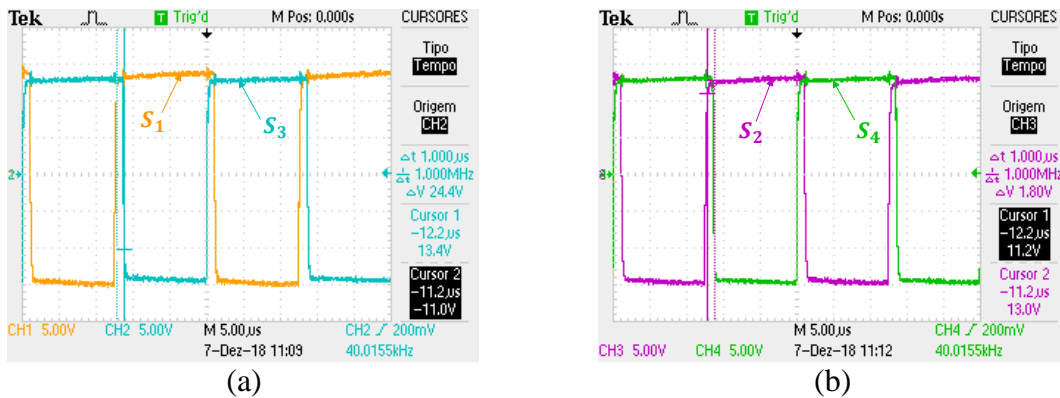


Figura 5.3. Verificação do tempo de sobreposição nos sinais de *gate* dos semicondutores: (a) S_1 e S_3 (b) S_2 e S_4 .

5.4 Resultados Experimentais da Técnica de Modulação

Este ensaio experimental tem como objetivo comprovar o bom funcionamento do inversor do tipo fonte de corrente. O barramento CC do inversor é constituído por uma bobina, uma fonte de tensão contínua e uma ponte retificadora para proteger a fonte de tensão. A fonte de tensão foi regulada para uma tensão máxima de 30 V e uma corrente máxima de 3 A. A carga utilizada é uma carga resistiva de 6 Ω . A técnica de modulação utilizada é a técnica de modulação SPWM unipolar. Na Figura 5.4 encontram-se representadas a corrente de referência, a corrente real da carga, a corrente medida pelo sensor de corrente e ainda a tensão da carga.

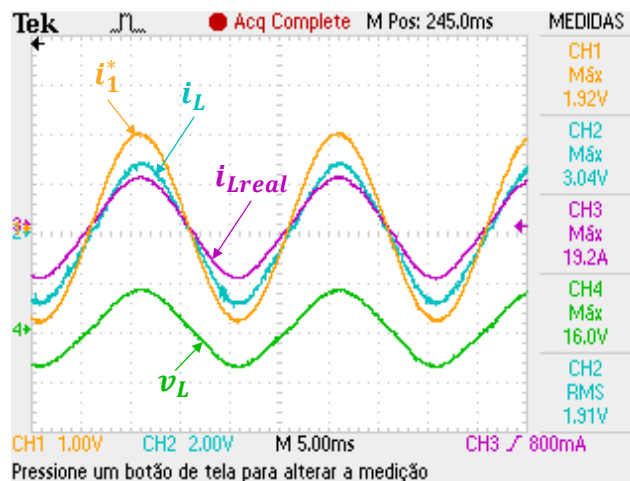


Figura 5.4. Resultado experimental com representação da corrente de referência i_1^* e da corrente da carga i_L

Na Figura 5.5 estão ilustradas a corrente de referência e a corrente da carga, onde se pode verificar que a corrente da carga é sinusoidal e em fase com a corrente de referência, pelo que se pode concluir que o inversor está a funcionar corretamente.

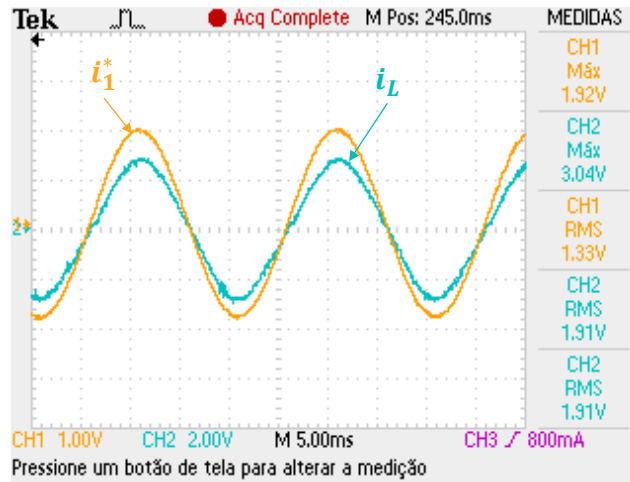


Figura 5.5. Resultado experimental com representação da corrente de referência i_1^* e da corrente da carga i_L .

5.5 Resultados Experimentais da Teoria de Fryze

De forma a visualizar a corrente de compensação calculada pela teoria de Fryze, foram utilizadas cargas semelhantes às simuladas no software PSIM e descritas no Capítulo 3. As cargas são compostas por uma carga linear e uma carga não-linear. A carga linear é uma carga RL, com $R = 26 \Omega$ e $L = 59 \text{ mH}$, enquanto que a carga não-linear é composta por um retificador em ponte completa a díodos com filtro RC e com uma bobina de entrada. A resistência do filtro é de 26Ω e o condensador tem valor de $52 \mu\text{F}$. A bobina de entrada é de 7 mH . Neste ensaio foi utilizado um transformador e um variac no lado primário, de forma a possibilitar o ajuste da tensão pretendida e no lado secundário do transformador foram ligadas as cargas. Foram também utilizadas uma pinça de corrente junto ao sensor de corrente para a medição da corrente da carga e um sensor de tensão. Com estes parâmetros é possível o cálculo da corrente de compensação a ser injetada pelo FAP. De forma a comprovar a eficácia da teoria de Fryze, é efetuado o cálculo da corrente teórica da fonte, subtraindo a corrente medida na carga e a corrente de compensação. Posto isto, a corrente teórica na fonte pode ser comprovada através da funcionalidade *MATH* existente no osciloscópio *Tektronix TPS 2024*, que permitiu efetuar o cálculo anteriormente descrito. Na Figura 5.6 encontra-se a corrente teórica na fonte resultante da subtração da corrente da carga i_L e a corrente de compensação, i_c^* .

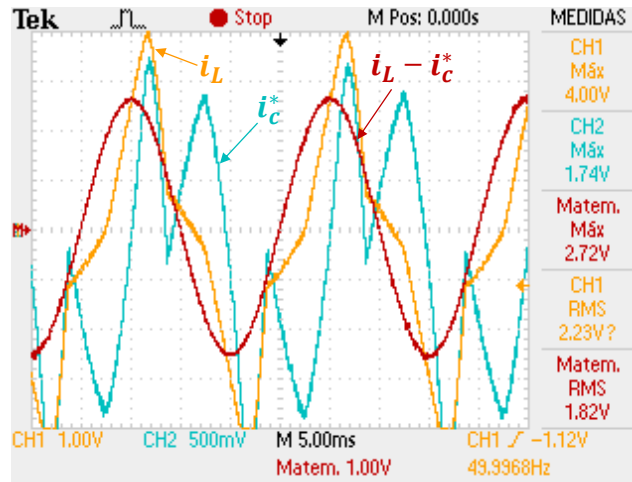


Figura 5.6. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* e da corrente teórica na fonte ($i_L - i_c^*$).

A Figura 5.7 ilustra as correntes anteriormente mencionadas e ainda o sinal de saída da E-PLL. Analisando a corrente teórica na fonte, pode concluir-se que a corrente de compensação, i_c^* , foi bem calculada, uma vez que é sinusoidal e em fase com a tensão da rede.

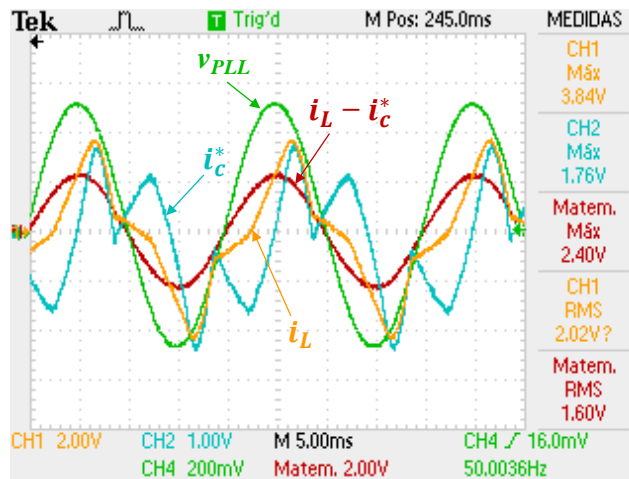


Figura 5.7. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , da corrente teórica na fonte ($i_L - i_c^*$) e do sinal gerado pela E-PLL, v_{PLL} .

Após a validação da teoria de Fryze, foi realizado um segundo ensaio que consistia em gerar a corrente de compensação através do mesmo método anteriormente descrito, sendo posteriormente utilizada a corrente de compensação como corrente de referência da técnica de modulação SPWM unipolar do inversor do tipo fonte de corrente. O esquema elétrico desenvolvido no software de simulação PSIM utilizado para este ensaio está representado na Figura 5.8. O barramento CC é constituído por uma bonina com uma indutância de 61 mH e uma fonte de tensão contínua regulada para uma tensão de 30 V. O retificador tem como função proteger a fonte de tensão.

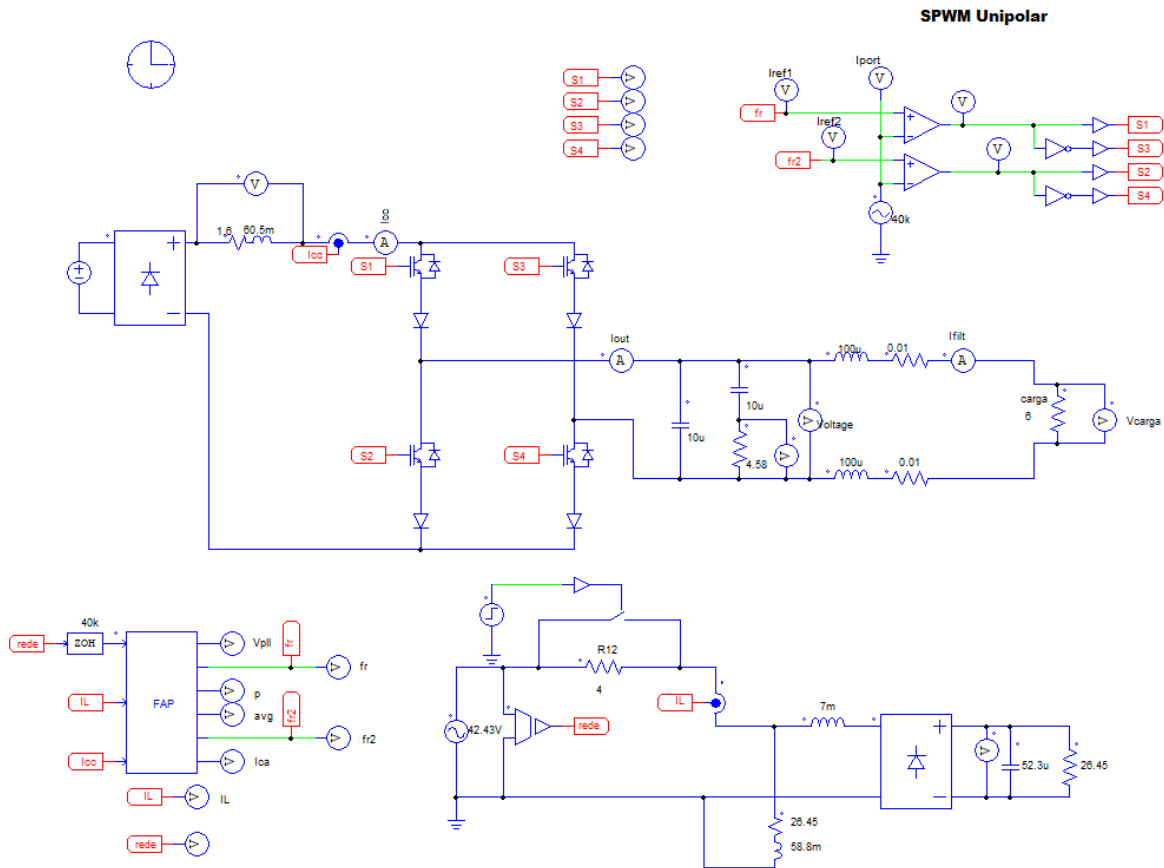


Figura 5.8. Esquema elétrico desenvolvido no software PSIM para o cálculo da corrente de compensação.

De forma a comprovar a eficácia desta teoria, foram medidas as correntes na carga usada para gerar a corrente de compensação, i_L , e na carga resistiva à saída do inversor, i_R . Na Figura 5.9 estão representadas essas duas correntes e ainda a corrente de compensação gerada pela teoria de Fryze. Como se pode verificar a corrente à saída do inversor segue a corrente de referência, ou seja, a corrente de compensação.

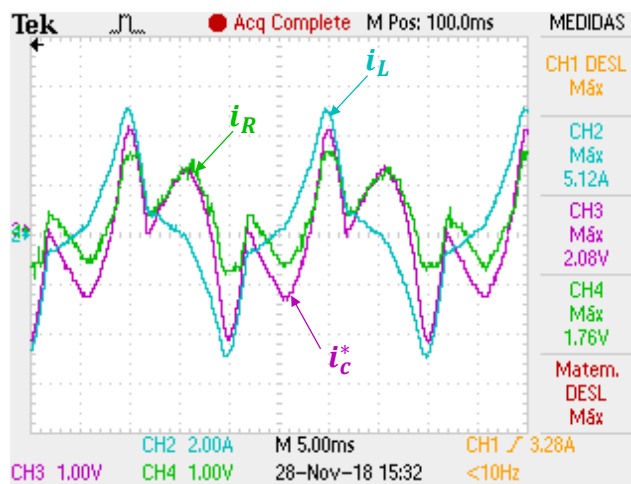


Figura 5.9. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , e da corrente na carga resistiva, i_R .

Posto isto, a corrente teórica na fonte obtém-se através da subtração entre a corrente na carga, i_L , e a corrente na carga resistiva, i_R , que se encontram representadas na Figura 5.10.

Neste caso, a corrente teórica na fonte apresenta uma forma quase sinusoidal. Isto deve-se ao facto de este ensaio não ter sido realizado com os valores nominais e ainda não ter sido efetuada a regulação do barramento CC.

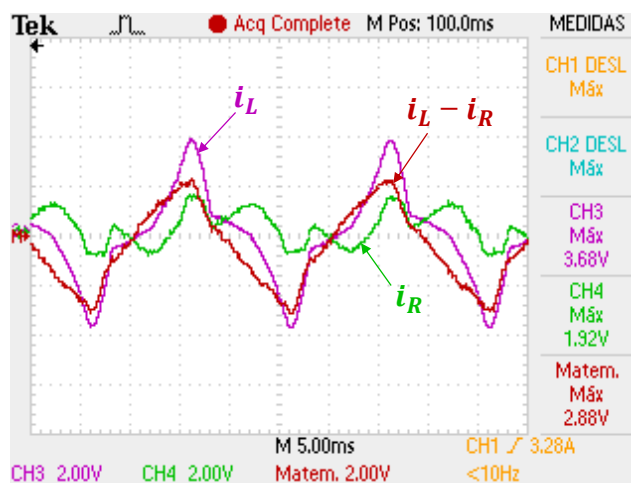


Figura 5.10. Resultado experimental da teoria de Fryze com representação da corrente da carga, i_L , da corrente de compensação, i_c^* , da corrente teórica na fonte ($i_L - i_c^*$).

5.6 Resultados Experimentais da Regulação da Corrente no Barramento CC

No presente ensaio experimental foi efetuada a regulação da corrente no barramento CC recorrendo à técnica de controlo de corrente PI descrita na secção 2.5.3. Na Figura 5.11 está representado o esquema elétrico referente a este ensaio experimental. Tal como no ensaio experimental anterior, o barramento CC não é só constituído apenas pela bobina, mas também por uma fonte de tensão contínua e um retificador. A medição da corrente no barramento CC foi efetuada através de um sensor de corrente e de uma pinça de corrente, ambos de efeito de Hall. À saída do inversor está ligado o filtro passivo amortecido e uma carga resistiva. Face a uma corrente de referência imposta, a corrente gerada pelo controlo de corrente PI deve seguir essa mesma corrente de referência. O sinal gerado pelo controlo de corrente PI é multiplicado pelo sinal da E-PLL, v_{PLL} , e posteriormente utilizado como corrente de referência da técnica de modulação SPWM unipolar.

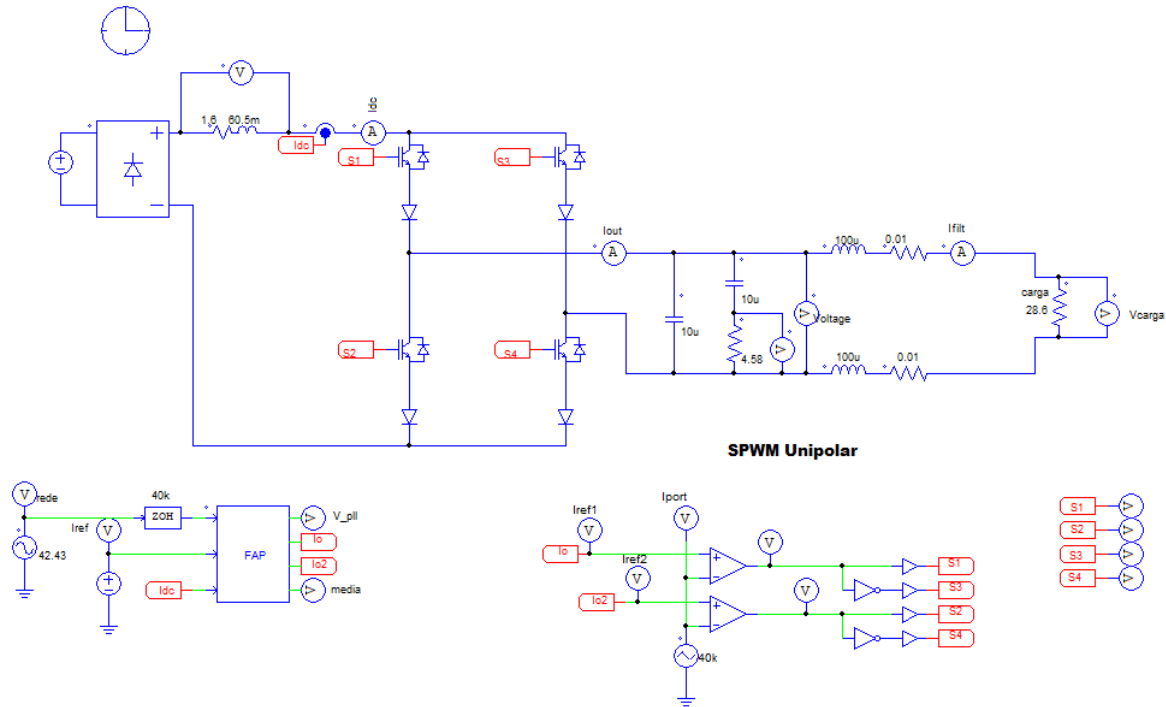


Figura 5.11. Esquema elétrico desenvolvido no software PSIM para a regulação do barramento CC.

O desempenho da técnica de controlo PI foi validado para uma corrente de referência de 1 A. A Figura 5.12 ilustra o comportamento do controlo de corrente PI, onde se pode verificar a corrente de referência, i^* , e a corrente no barramento CC, i_{CC} . Analisando o desempenho do controlo de corrente PI, podemos concluir que apresenta um bom desempenho, uma vez que a corrente do barramento CC, i_{CC} , segue a corrente de referência, i^* .

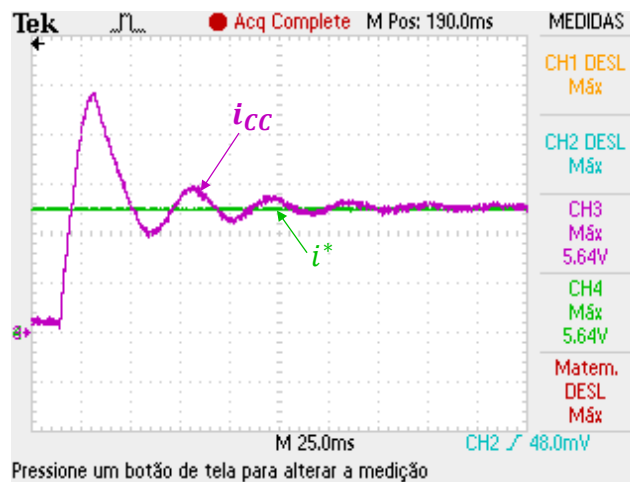


Figura 5.12. Resultado experimental da regulação da corrente no barramento CC com representação da corrente de referência i^* e da corrente no barramento CC, i_{CC} .

Uma vez validada a técnica de controlo PI, foi realizado um segundo ensaio experimental de forma a comprovar a sua eficácia com inversor do tipo fonte de corrente ligado à rede elétrica. O esquema elétrico desenvolvido no software PSIM referente a este ensaio experimental encontra-se representado na Figura 5.13.

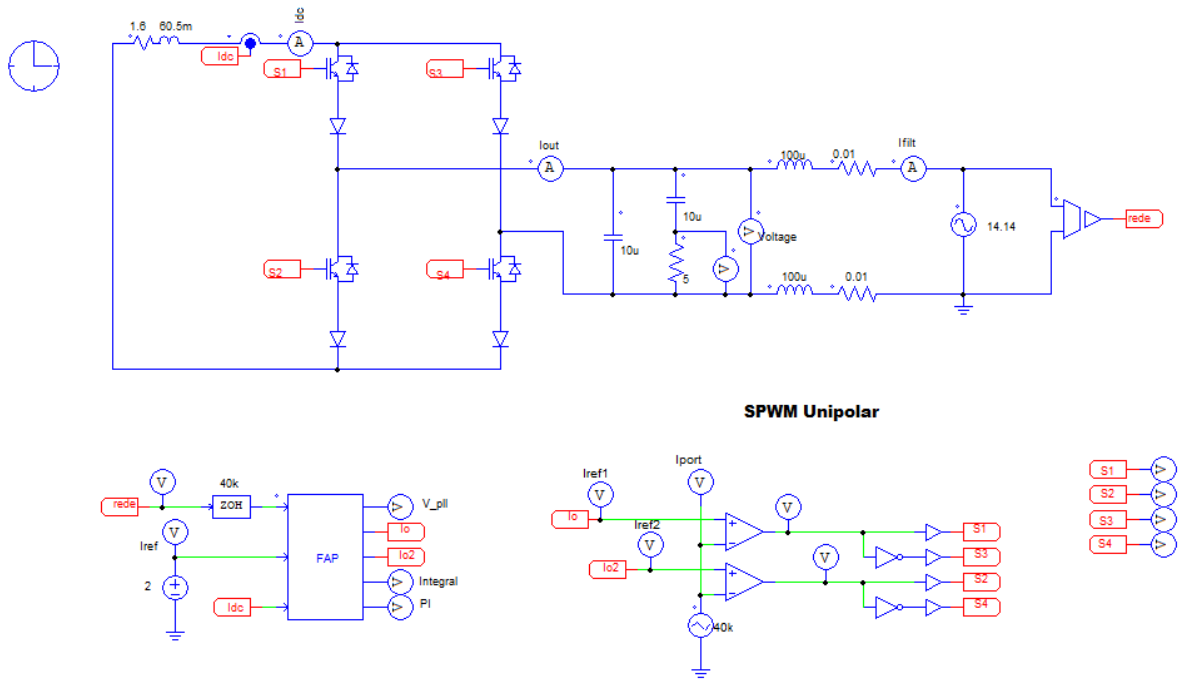


Figura 5.13. Esquema elétrico desenvolvido no software PSIM para a regulação do barramento CC com o inversor do tipo fonte de corrente ligado à rede elétrica.

De forma a comprovar a eficácia da técnica de controlo de corrente PI foi definida uma corrente de referência de 2 A. Na Figura 5.14 está ilustrado o comportamento da corrente no barramento CC, onde se pode verificar que a corrente medida no barramento, após um transitório inicial, acompanha perfeitamente a corrente de referência. Posto isto, podemos concluir que a técnica de controlo de corrente PI funciona corretamente.

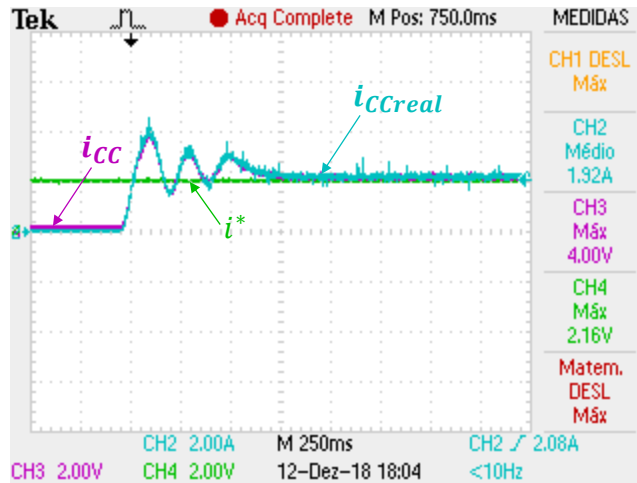


Figura 5.14. Resultado experimental da regulação da corrente no barramento CC com representação da corrente de referência i^* e da corrente no barramento CC, i_{CC} .

5.7 Conclusão

Neste capítulo foram apresentados os resultados experimentais obtidos do filtro ativo paralelo monofásico do tipo fonte de corrente. Inicialmente, foi comprovado o correto desempenho do sistema de sincronização com a rede elétrica, a E-PLL. Analisando os

resultados obtidos, verificou-se que mesmo com a tensão da rede elétrica distorcida, a onda gerada pela E-PLL é sinusoidal e encontra-se em fase com a tensão da rede elétrica, tal como pretendido.

De seguida, foram apresentados os resultados experimentais referentes ao tempo de sobreposição necessário para garantir o correto funcionamento do inversor do tipo fonte de corrente. Este tempo de sobreposição foi inserido na transição entre semicondutores, onde se pode verificar os semicondutores superiores ou inferiores ligados simultaneamente durante aproximadamente 1 μ s. Foi também testada e validada a modulação do inversor do tipo fonte de corrente, na qual foi obtida uma corrente na carga sinusoidal e em fase com a corrente de referência.

Posto isto, procedeu-se à validação do desempenho da teoria de Fryze, na qual é produzida a corrente de compensação a ser injetada pelo FAP para compensar as harmónicas de corrente e corrigir o fator de potência. Nos dois ensaios experimentais realizados foram utilizadas uma carga linear e uma carga não-linear, sendo que a subtração da corrente nas cargas e a corrente de compensação gerada pela teoria de Fryze resulta na corrente teórica na fonte.

De seguida, foi analisado o comportamento do controlo de corrente PI para a regulação da corrente no barramento CC, tendo sido comprovado que para uma corrente de referência definida, a corrente no barramento CC acompanhava corretamente a referência.

Capítulo 6

Conclusão

6.1 Conclusões

Neste trabalho de dissertação foi desenvolvido um filtro ativo paralelo monofásico do tipo fonte de corrente com barramento CC reduzido. Este equipamento é capaz de melhorar alguns problemas de qualidade de energia elétrica, nomeadamente o fator de potência e as harmónicas de corrente. Dos filtros ativos de potência existentes, foram investigados os filtros ativos paralelos do tipo fonte de tensão e do tipo fonte de corrente. Este último foi descrito com maior detalhe, apresentando como principais vantagens maior robustez, maior tempo de vida da bobina no barramento CC e proteção intrínseca contra curto-circuitos, comparativamente com os do tipo fonte de tensão.

No capítulo 1 foram descritos os problemas de qualidade de energia elétrica que os FAPs podem mitigar. Foram apresentados os tipos de cargas que produzem harmónicas de corrente que afetam as tensões de alimentação. De seguida, foi descrito o conceito de fator de potência e a sua importância para as instalações elétricas.

No capítulo 2 foi efetuado um levantamento do estado da arte acerca do sistema a desenvolver, nomeadamente sobre FAPs monofásicos, técnicas de modulação, técnicas de controlo de corrente e ainda técnicas de identificação aplicáveis a FAPs monofásicos. A teoria de controlo utilizada foi a teoria de Fryze, enquanto que a técnica de modulação foi SPWM unipolar. A escolha destas técnicas deve-se às vantagens associadas a cada uma delas.

No capítulo 3 foram apresentados todos os resultados das simulações efetuadas no software PSIM. As simulações realizadas incluem as do sistema de controlo e as do circuito de potência, de forma a validar o correto funcionamento de todo o sistema implementado. Com base nos resultados das simulações obtidos, pode-se concluir que a topologia adotada é bastante vantajosa, dado que foi comprovado que é possível obter um valor de indutância quatro vezes menor do que utilizado para um FAP do tipo fonte de corrente convencional. Contudo, a distorção harmónica é um pouco superior comparativamente à obtida nas simulações computacionais do FAP convencional.

Após ter sido validado o sistema em simulação, foram apresentados e descritos no capítulo 4 todas as placas e componentes utilizados, assim como as suas principais funções e características.

No capítulo 5 foram apresentados os resultados experimentais do FAP do tipo fonte de corrente com barramento CC reduzido. Em primeiro lugar foram descritos os resultados referentes ao sinal de saída da E-PLL, onde foi comprovada a sua correta operação. Posteriormente, foi descrita a implementação do tempo de sobreposição (*overlap-time*) necessário para o correto funcionamento do inversor do tipo fonte de corrente. Posto isto, foi validada a modulação do inversor do tipo fonte de corrente, na qual foi obtida uma corrente na carga sinusoidal e em fase com a corrente de referência. De seguida, procedeu-se à validação do desempenho da teoria de Fryze. Para isso, foram utilizadas uma carga linear e uma carga não-linear, que aplicando corretamente o algoritmo de controlo, a subtração da corrente nas cargas e a corrente de compensação gerada pela teoria de Fryze resulta na corrente teórica na fonte. Por fim, foi validado o controlo de corrente PI para a regulação da corrente no barramento CC, tendo sido comprovado que para uma corrente de referência definida, a corrente no barramento CC acompanhava corretamente a referência, tal como pretendido.

Ao longo desta dissertação, foram consolidados conhecimentos ao nível da programação e ao nível de desenvolvimento de circuitos de eletrónica de potência.

Por um lado, ao nível do software, foi utilizado um microcontrolador de 32 bits, na qual foi possível consolidar conhecimentos de programação em linguagem C para sistemas de controlo em tempo real, bem como adquirir conhecimentos com a utilização de periféricos vitais para a funcionalidade do sistema, tais como SPI, PWM, interrupções, entre outros. Uma vez que foi utilizada uma plataforma da *Texas Instruments*, foi possível adquirir experiência com o IDE *Code Composer Studio*.

Por outro lado, relativamente aos circuitos de eletrónica de potência, foram desenvolvidas PCBs, quer para a parte de controlo, quer para a parte de potência, onde foi tida em consideração a largura e o espaçamento entre pistas para os níveis de corrente e de tensão utilizados. Neste último caso, em pontos mais críticos, foi necessário arrancar o cobre adicional de forma a reduzir o risco de arcos elétricos entre pistas com diferença de potencial mais elevado. Com o desenvolvimento das PCBs, foram obtidos conhecimentos em relação às principais funcionalidades dos softwares *PADS Logic* e *PADS Layout*.

No que diz respeito a equipamentos utilizados nos ensaios laboratoriais, foram utilizadas pela primeira vez pinças de corrente de efeito de Hall, bem como foram utilizados osciloscópios digitais com canais isolados, com funcionalidades avançadas.

Por outro lado, o projeto e desenvolvimento das bobinas permitiu adquirir competências em campos que ao longo do percurso académico não foi possível explorar. Sendo também adquiridas competências de utilização do software *EPCOS Magnetic Tools*, dedicado ao projeto de elementos eletromagnéticos.

Ao longo desta dissertação, foram adquiridos conhecimentos diversos em várias áreas num curto espaço de tempo. Apesar da aquisição deste conhecimento, foram cometidos alguns erros durante a fase de implementação das PCBs, sendo necessária uma análise visual das placas e, conseqüentemente, reparação desses erros.

6.2 Sugestões de Trabalhos Futuros

No decorrer desta dissertação foram tidos em conta alguns aspetos que devem ser melhorados. Em termos de hardware seria bastante vantajoso testá-lo já com as placas colocadas de forma mais compacta, colocando o inversor e a placa do filtro de saída sobrepostos e as placas de controlo, nomeadamente as de *driver* e a de condicionamento de sinal na parte superior. Assim, o hardware implementado não ocuparia tanto espaço. Por outro lado, em vez de usar a bobina disponibilizada pelo laboratório do GEPE, seria recomendável construir uma bobina mais compacta e com o valor de indutância utilizado nos ensaios finais.

No que diz respeito às simulações, a implementação de um controlo preditivo poderia teoricamente ser mais vantajosa do que a técnica de controlo PI, uma vez que a primeira não necessita de ajuste de ganhos e apresenta uma resposta dinâmica mais rápida.

Relativamente à implementação do FAP com barramento CC reduzido, é necessário a realização de mais ensaios experimentais, sendo um deles a ligação do FAP à rede elétrica. Nestas condições terão de ser tomados cuidados para evitar que o hardware seja danificado, começando com níveis reduzidos de tensão, que podem ser progressivamente aumentados até atingir o valor nominal.

Lista de Referências

- [1] J. L. Afonso *et al.*, “SINUS - Tecnologia para Monitorização da Qualidade de Energia , Compensação Dinâmica de Harmónicos , Factor de Potência e Desequilíbrios e para Interface de Fontes Renováveis,” *Proc. XCLEEE - 10th Port. Congr. Electr. Eng.*, no. July, pp. 2–7, 2007, ISBN: 978-972-8822-09-5.
- [2] J. Afonso and J. Martins, “Qualidade da energia eléctrica,” *Rev. o Eletr. no. 9*, pp. 66–71, 2004.
- [3] I. T. Conference, C. Power, S. Technical, B. Way, and A. Road, “Harmonics – Causes, Effects, Measurements, and Analysis: An Update,” vol. 26, no. 6, 1990, DOI: 10.1109/28.62384.
- [4] K. H. Sueker, ““Harmonics: the effects on power quality and transformers,”” *Ind. Appl. IEEE Trans.*, vol. 31, no. 2, pp. 405–406, 1995, DOI: 10.1109/28.293695.
- [5] L. Cividino, “Power factor, harmonic distortion; causes, effects and considerations,” *[Proceedings] Fourteenth Int. Telecommun. Energy Conf. - INTELEC '92*, pp. 506–513, 1992, DOI: 10.1109/INTLEC.1992.268395.
- [6] D. Shmilovitz, “On the definition of total harmonic distortion and its effect on measurement interpretation,” *IEEE Trans. Power Deliv.*, vol. 20, no. 1, pp. 526–528, 2005, DOI: 10.1109/TPWRD.2004.839744.
- [7] J.E.Mitchell, “Distortion Factor: The ‘New’ Problem of Power Factor,” pp. 4–6, 1992, DOI: 10.1109/INTLEC.1992.268394.
- [8] M. H. Rashid, *Power Electronics Handbook*. 2001, Academic Press. ISBN: 0125816502.
- [9] P. Neves, D. Gonçalves, J. G. Pinto, R. Alves, and J. L. Afonso, “Single-Phase Shunt Active Filter Interfacing Renewable Energy Sources with the Power Grid,” *IEEE Conf.*, pp. 3264–3269, 2009, DOI: 10.1109/IECON.2009.5415208.
- [10] B. Singh, K. Al-haddad, and A. Chandra, “A Review of Active Filters for Power Quality Improvement,” vol. 46, no. 5, pp. 960–971, 1999, DOI: 10.1109/41.793345.
- [11] S. R. Jang, H. J. Ryoo, G. Goussev, and G. H. Rim, “Comparative study of MOSFET and IGBT for high repetitive pulsed power modulators,” *IEEE Trans. Plasma Sci.*, vol. 40, no. 10 PART 1, pp. 2561–2568, 2012, DOI: 10.1109/TPS.2012.2186592.
- [12] M. Salo and S. Pettersson, “Current-Source Active Power Filter with an Optimal DC Current Control,” *Power Electron. Spec. Conf. 2006. PESC '06. 37th IEEE*, pp. 1–4, 2006, DOI: 10.1109/PESC.2006.1711975.
- [13] M. Routimo, M. Salo, and H. Tuusa, “Comparison of voltage-source and current-source shunt active power filters,” *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 636–643, 2007, DOI: 10.1109/TPEL.2006.890005.
- [14] B. Exposto, J. G. Pinto, V. Monteiro, D. Pedrosa, H. Gonçalves, and J. L. Afonso, “Experimental and Simulation Results of a Current-Source Three-Phase Shunt Active Power Filter using Periodic-Sampling,” *Annu. Semin. Autom. Ind. Electron. Instrum. 2012 - SAAEI'12*, pp. 380–385, Guimarães, Port., pp. 380–385, 2012, ISBN: 978-972-98603-5-5.
- [15] A. Algaddafi, K. Elnaddab, A. Al Ma’Mari, and A. N. Esgiar, “Comparing the performance of bipolar and unipolar switching frequency to drive DC-AC Inverter,” *Proc. 2016 Int.*

- Renew. Sustain. Energy Conf. IRSEC 2016*, pp. 680–685, 2017, DOI: 10.1109/IRSEC.2016.7984067.
- [16] S. Huang, D. C. Pham, K. Huang, and S. Cheng, “Space Vector PWM Techniques for Current and Voltage Source Converters: A Short Review,” *Ieee*, vol. 1, pp. 1–6, 2012.
- [17] E. M. Suhara and M. Nandakumar, “Analysis of hysteresis current control techniques for three phase PWM rectifiers,” *2015 IEEE Int. Conf. Signal Process. Informatics, Commun. Energy Syst. SPICES 2015*, pp. 5–9, 2015, DOI: 10.1109/SPICES.2015.7091434.
- [18] A. Araujo, J. G. Pinto, B. Exposto, C. Couto, and J. L. Afonso, “Implementation and comparison of different switching techniques for shunt active power filters,” *IECON Proc. (Industrial Electron. Conf.)*, pp. 1519–1525, 2014, DOI: 10.1109/IECON.2014.7048703.
- [19] N. A. Rahim and J. Selvaraj, “Hysteresis Current Control and Sensorless MPPT for Grid-Connected Photovoltaic Systems,” *2007 IEEE Int. Symp. Ind. Electron.*, no. L, pp. 572–577, 2007, DOI: 10.1109/ISIE.2007.4374659.
- [20] B. Exposto, H. Carneiro, G. Pinto, C. Couto, and J. L. Afonso, “Simulations of a current-source Shunt Active Power Filter with Carrier-Based PWM and Periodic Sampling modulation techniques,” *Power Electron. Appl. (EPE 2011), Proc. 2011-14th Eur. Conf.*, no. Epe, pp. 1–8, 2011.
- [21] G. A. V. Caceres, J. C. G. Lizarazo, M. A. M. Villalobos, and J. F. P. Suarez, “Active power filters: A comparative analysis of current control techniques,” *2010 Ieee Andescon*, pp. 1–6, 2010, DOI: 10.1109/ANDESCON.2010.5631646.
- [22] P. Correa and J. Rodriguez, “A predictive control scheme for current source rectifiers,” *Power {Electron}. {Motion} {Control} {Conf}. 2008. {EPE}-{PEMC} 2008. 13th*, vol. 56, no. 5, pp. 699–702, 2008, DOI: 10.1109/EPEPEMC.2008.4635346.
- [23] A. M. Massoud, S. J. Finney, and B. W. Williams, “Predictive current control of a shunt active power filter,” *IEEE 35th Annu. Power Electron. Spec. Conf.*, vol. 5, pp. 3567–3572, 2004, DOI: 10.1109/PESC.2004.1355106.
- [24] T. Santos, J. G. Pinto, P. Neves, D. Gonçalves, and J. L. Afonso, “Comparison of three control theories for single-phase active power filters,” *IECON Proc. (Industrial Electron. Conf.)*, pp. 3637–3642, 2009, DOI: 10.1109/IECON.2009.5415144.
- [25] V. Staudt, “Fryze - Buchholz - Depenbrock : A time-domain power theory,” pp. 1–12, 2008, DOI: 10.1109/ISNCC.2008.4627481.
- [26] L. S. Czarnecki, “Budeanu and Fryze : Two frameworks for interpreting power properties of circuits with nonsinusoidal voltages and currents,” *Electr. Eng.*, vol. 80, no. Teoria de Potência;, pp. 359–367, 1997, DOI: 10.1007/BF01232925.
- [27] J. Zhou, Z. Wang, and X. Fu, “Study on the improved harmonic detection algorithm based on FBD theory,” *Asia-Pacific Power Energy Eng. Conf. APPEEC*, no. 1, pp. 2–5, 2011, DOI: 10.1109/APPEEC.2011.5749145.
- [28] I. Colak, R. Bayindir, E. Irmak, and O. Kaplan, “A comparative study of harmonic extraction methods for single phase shunt active power filter,” *Int. Conf. Power Eng. Energy Electr. Drives*, no. May, pp. 1–4, 2011, DOI: 10.1109/PowerEng.2011.6036515.
- [29] J. G. Pinto, P. Neves, R. Pregitzer, L. F. C. Monteiro, and J. L. Afonso, “Single-Phase Shunt Active Filter with Digital Control,” *Int. Conf. Renew. Energies Power Qual.*, pp. 28–30, 2007, ISBN: 978-84-611-4707-6.
- [30] S. Karvekar and A. Kumbhojkar, “Comparison of different methods of reference current generation for shunt active power filter under balanced and unbalanced load conditions,” *Int.*

- Conf. Circuits, Power Comput. Technol.*, no. 1, pp. 430–434, 2013, DOI: 10.1109/ICCPCT.2013.6528827.
- [31] S. W. Smith, *Digital signal processing*. 1999.
- [32] M. J. Samotyj and A. Tx, “Survey of active power line conditioning methodologies - Power Delivery, IEEE Transactions on,” *IEEE Trans.*, vol. 5, no. 3, 1990, DOI: 10.1109/61.57998.
- [33] M. Karimi-Ghartemani and M. R. Iravani, “A method for synchronization of power electronic converters in polluted and variable-frequency environments,” *IEEE Trans. Power Syst.*, vol. 19, no. 3, pp. 1263–1270, 2004, DOI: 10.1109/TPWRS.2004.831280.
- [34] M. Karimi-Ghartemani, S. A. Khajehoddin, P. K. Jain, A. Bakhshai, and M. Mojiri, “Addressing DC component in pll and notch filter algorithms,” *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 78–86, 2012, DOI: 10.1109/TPEL.2011.2158238.
- [35] N. Hensgens, M. Silva, J. A. Oliver, J. A. Cobos, S. Skibin, and A. Ecklebe, “Optimal design of AC EMI filters with damping networks and effect on the system power factor,” *2012 IEEE Energy Convers. Congr. Expo. ECCE 2012*, vol. 7, no. 2, pp. 637–644, 2012, DOI: 10.1109/ECCE.2012.6342761.
- [36] H. She, H. Lin, X. Wang, and L. Yue, “Damped input filter design of matrix converter,” *Proc. Int. Conf. Power Electron. Drive Syst.*, pp. 672–677, 2009, DOI: 10.1109/PEDS.2009.5385684.
- [37] S. Pettersson, M. Salo, and H. Tuusa, “Optimal DC current control for four-wire current source active power filter,” *2008 Twenty-Third Annu. IEEE Appl. Power Electron. Conf. Expo.*, pp. 1163–1168, 2008, DOI: 10.1109/APEC.2008.4522869.
- [38] T. Instruments and D. S. P. D. Systems, “TMS320F2833X, TMS320F2823X Digital Signal Controllers (DSCs),” *ROBOMECH J.*, vol. 3, no. 1, p. 206, 2007.
- [39] M. Schwabener Str and D.-I. habil Jigou Liu, “Hall Effect Voltage Sensor CYHVS5-25A,” vol. 49, no. May, pp. 2574100–2574102, 2016.
- [40] LEM, “Current Transducer LA 100-P / SP13 Electrical data,” *Components*, pp. 0–1, 2010.
- [41] I. Single, O. Dc, and D. C. Converters, “3kVDC Isolated 1W Single & Dual Output DC/DC Converters,” vol. 44, no. 0, pp. 1–9, 2010.
- [42] A. Technologies, “5 Amp Output Current IGBT Gate Drive Optocoupler with 100 kV / μ s Noise Immunity Data Sheet.”
- [43] R. B. Igbt, “Fgw85N60Rb,” no. September, pp. 1–8, 2013.
- [44] Epcos, “SIOV metal oxide varistors General technical information,” *SIOV Met. oxide varistors*, no. April, 2011.
- [45] “FGA25N120ANTDTU” Disponível em:
<http://www.mouser.com/ds/2/149/FGA25N120ANTDTU-194724.pdf> .
- [46] H. Performance, F. Recovery, L. Loss, and S. Recovery, “High Performance Fast Recovery Diode Low Loss and Soft Recovery Parallel legs DSEP2x61-06A,” pp. 2–6, 2016.
- [47] V. Roederstein, “MKP1848 DC-Link Vishay Roederstein Metallized Polypropylene Film Capacitors DC-Link Capacitor MKP1848 DC-Link CODE Vishay Roederstein MKP 1848,” pp. 1–20.